

**Service-
handbuch**

**robotron
1715**

Computer

I n h a l t s v e r z e i c h n i s

	Seite	
1.0 Technische Beschreibung	2	
1.1 Konstruktiver Aufbau	2	
1.2. Zentrale Recheneinheit	4	- 34
1.3. Technische Beschreibung Anschluß- steuerung 2xV.24	35	- 39
1.4. STE Sschnittstelle 2xIFSS	40	- 43
1.5. Ansteuerung für Floppy-Disklaufwerke	44	- 56
1.6. Floppy-Disklaufwerke	57	- 77
1.7. Display K7221.25/K7222.25	78	- 86
1.8. Tastatur 1715	87	- 92
1.9. Stromversorgung	93	- 101
2.0. Serviceempfehlung	102	
2.1. Meß- und Prüfmittel	102	
2.2. Hinweise zur Fehlersuche	105	
2.3. Baugruppenaustausch	106	- 110
3.0. Steckerbelegung	111	- 115
4.0. Vergleichsliste	116	- 117
5.0. Pin-Belegung	118	- 148
6.0. Einstellvorschrift	149	- 165
7.0. Wartungsvorschrift	166	- 171
8.0. Ansteuereinheit für Folienspeicher- laufwerke 20-330-0202-5	172	

© VEB Robotron Büromaschinenwerk Sömmerda 1985

1. Technische Beschreibung

1.1. Konstruktiver Aufbau

Der 1715 setzt sich, wie aus nachstehendem Blockschaltbild ersichtlich ist, aus einem System von modularen Baugruppen zusammen:

- Systemeinheit, bestehend aus:
 - Zentrale Recheneinheit (ZRE) mit CPU, Takterzeugung, Reseterzeugung, Anfangslader-EPROM, RAM-Speicher max. 64 K, Bildschirmsteuerung mit umschaltbarem Zeichengenerator, 3 seriellen Schnittstellen (Tastatur; Drucker; V.24 frei verfügbar), je einer Schnittstelle für Anschluß der FÜ-Ansteuerung und einer zusätzlichen Peripherieansteuerung
 - FD-Ansteuerung für max. 4 Laufwerke
 - 1 (Standard) oder 2 Minifolienspeicher
 - Stromversorgungsbaugruppe mit Lüfter
 - zusätzliche Peripheriesteuerung (IFSS/V.24)
- Tastatur (Anschluß über seriell Schnittstelle) mit alphanumerischer Funktions- und Zehnertastatur und den Kursortasten
- Bildschirm: Display 1 (16x64 Zeichen)
Display 2 (24x80 Zeichen)
- FD-Einheit (zusätzlich) mit 2 Laufwerken und eigener Stromversorgung
- Drucker (wahlweise Typenrad oder Nadeldrucker mit entsprechender Formulartechnik)

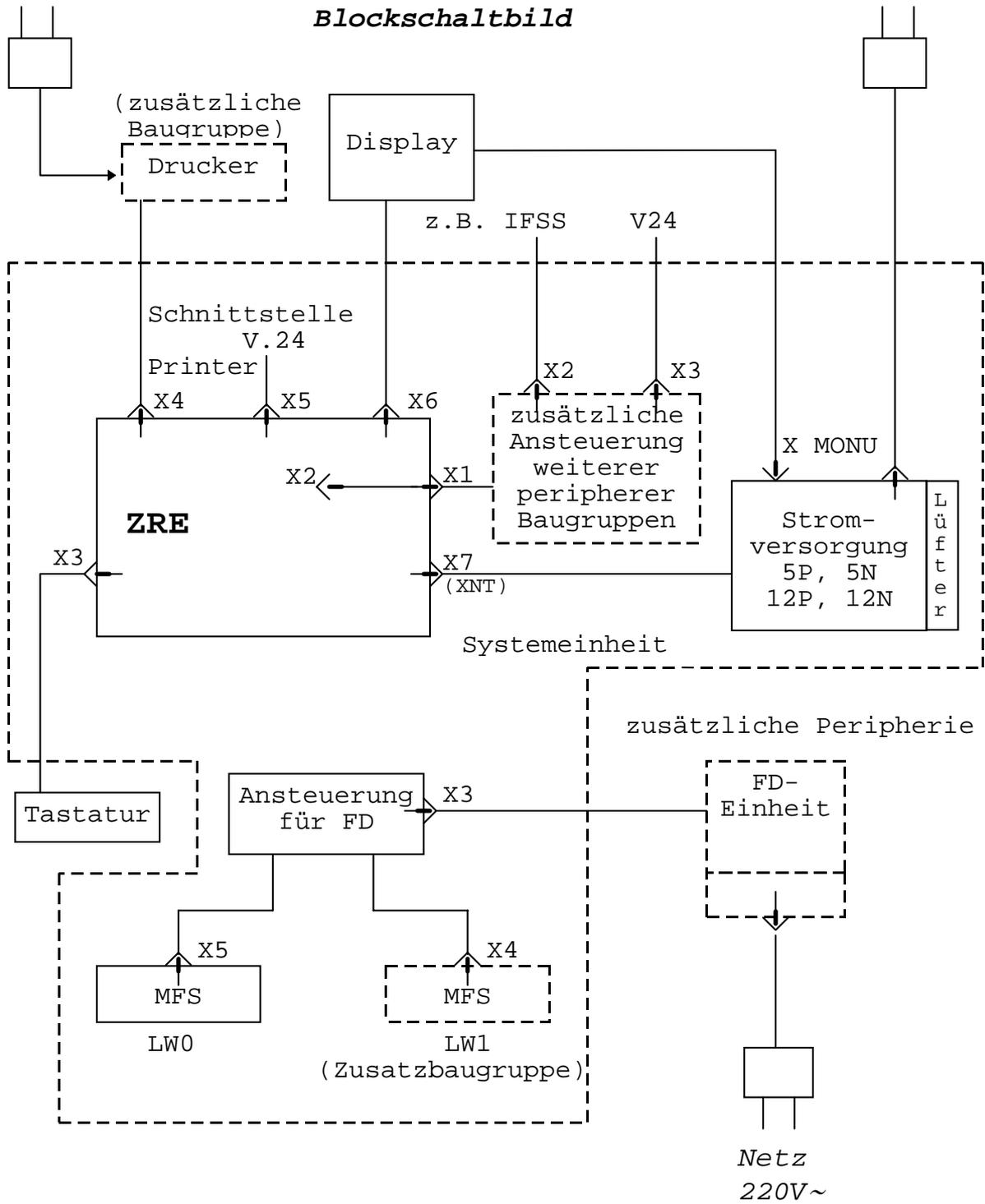
Die Systemeinheit ist die Hauptbaugruppe des Rechners. Sie übernimmt die Bearbeitung der anstehenden Aufgaben und den Informationsaustausch mit den peripheren Geräten.

Die Anordnung der Baugruppen kann dem jeweiligen Anwenderproblem durch zweckentsprechende Zuordnung von Tastatur, Bildschirm und dem Drucker angepaßt werden.

Netz
220V~

Netz
220V~

Blockschaltbild



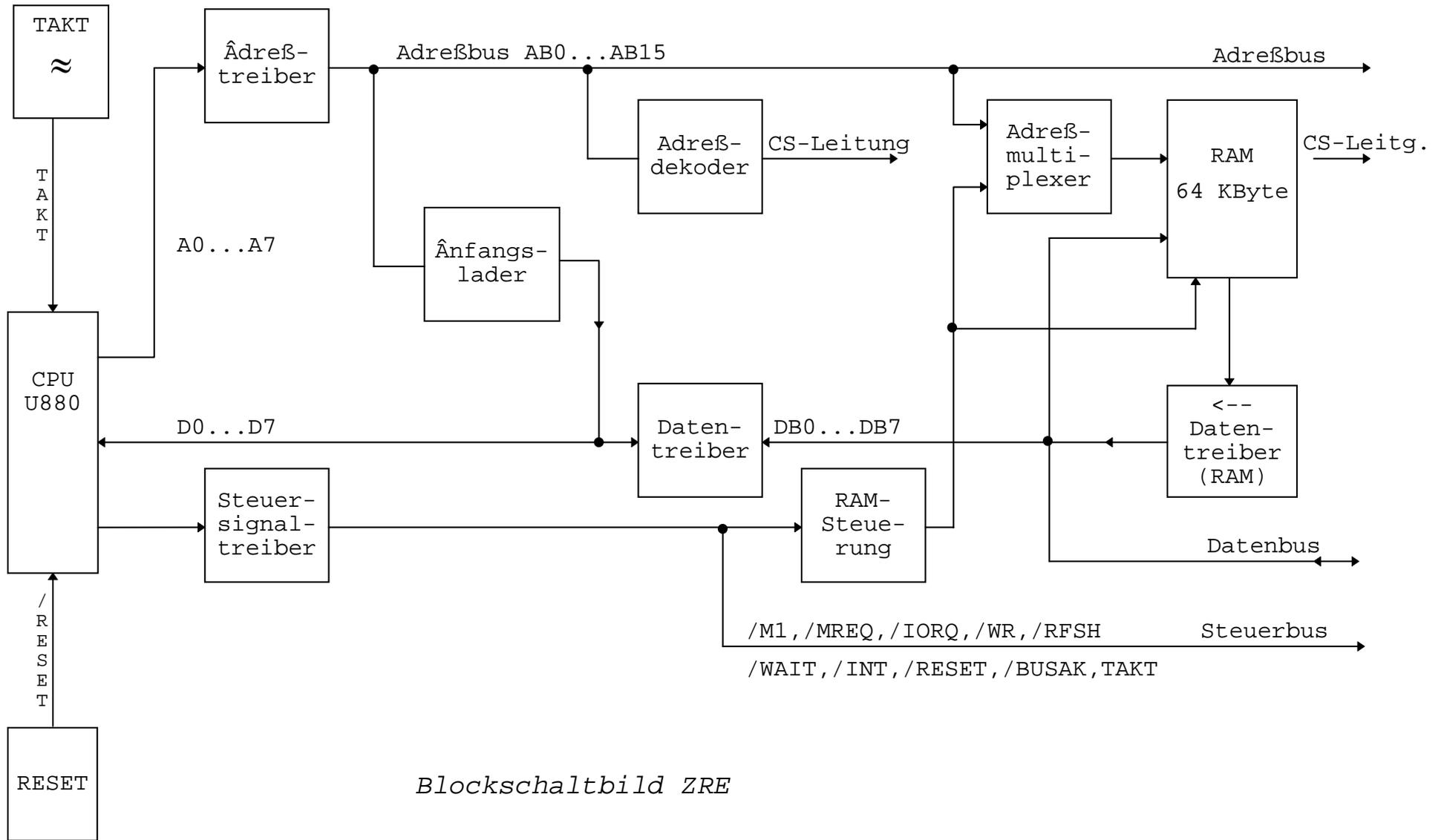
1.2. Zentrale Recheneinheit

Die zentrale Recheneinheit. in den folgenden Ausführungen ZRE genannt, ist auf der Systembasis des Mikroprozessors U880 aufgebaut.

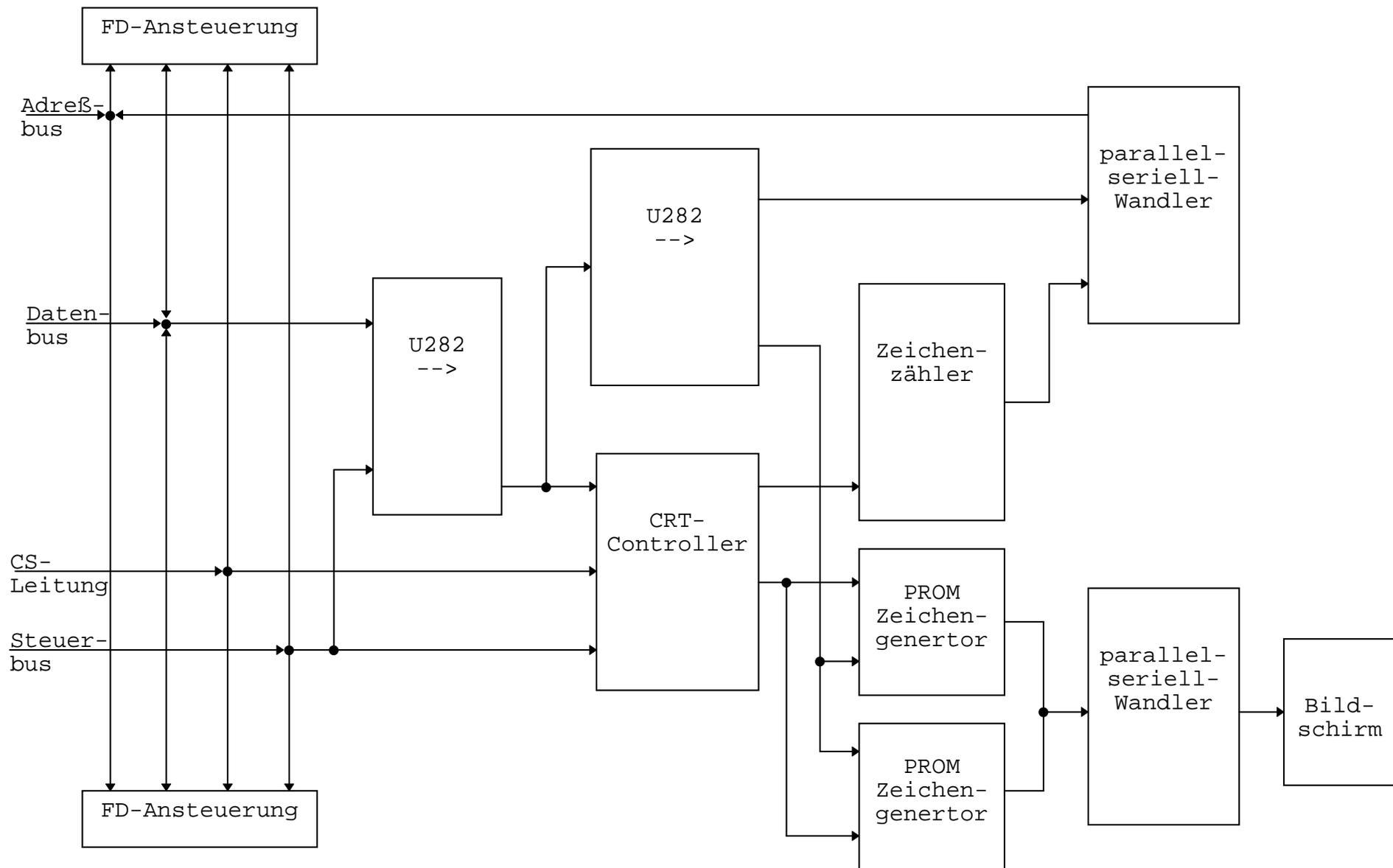
Der Mikroprozessor U880, im weiteren CPU genannt, hat die Aufgabe, sämtliche Systeminformationen zu erzeugen, auszuwerten oder im Dialogbetrieb die peripheren Baugruppen zu steuern oder deren Informationen auszuwerten.

Die CPU ist zur Synchronisation mit dem Systemtakt verbunden. Die Taktversorgungseinheit besteht aus dem Quarzgenerator, ($f=9,832$ Mhz) und dem nachgeschalteten Flipflop-Teiler. Der Systemtakt schwingt mit einer Frequenz von 2,458 Mhz, er ist somit zur Versorgung von seriellen Schnittstellen zur Erzeugung der gewünschten Übertragungsraten durch einen Zählerbaustein (CTC) geeignet.

An den Flipflop-Teiler sind Leistungsgatter über den Schalter S1.1 (1-9) angeschlossen. Die Ausgänge dieser NAND-Gatter sind mit den Systemtaktleitungen verbunden. Die Schaltergruppe S1.1 bietet die Möglichkeit, bei Instandsetzungsarbeiten die Eingänge der Leistungsgatter von der internen Takterzeugung abzutrennen und mit einem von außen (X1:A27) zugeführten Takt zu verbinden.



Blockschaltbild ZRE



1.2.1. Systembusbelegung

Der Systembus besteht aus den Leitungsbündeln:

Adreßbus AB0 - AB15

Datenbus DB0 - DB7

und den Steuersignalleitungen /M1, /MREQ, /IORQ, /RD, /WR, /RFSH, /WAIT, /RESET, /BUSRQ, TAKT, TAKT-X1, TAKT-X2.

Es ergeben sich folgende Bedeutung und Funktion:

AB0 - AB15: Der Adreßbus liefert die Adressen für Speicher-Daten-Transporte (bis zu 64 Kbytes) und Datentransporte für E/A-Geräte. (TOR-ADR) Die E/A-Adressierung benutzt die unteren 8 Adreßbits, um eine direkte Anwahl von 256 Eingangs- oder 256 Ausgangskanälen zu ermöglichen.

Während des Refreshzyklus enthalten die unteren 7 Bits die gültige Adresse für die Speicherauffrischung. Die von der CPU erzeugten Adreßbits A0 bis A15 werden über Treiberschaltkreise zum Adreßbus AB0 bis AB15 verstärkt. Während der Datenholzeit (RFSH-Zeit) vom Bildwiederholpeicher werden die Adreßbus-Treiber durch /F3 = LOW in den hochohmigen Zustand versetzt.

DB0 - DB7: DB0 bis DB7 bilden den bidirektionalen 8-Bit-Datenbus. Der Datenbus dient den Datentransporten von oder zum Speicher und von oder zu den E/A-Geräten.

Der Datenbus DB0 bis DB7 steht über einen Treiberschaltkreis mit dem Datenbus D0 bis D7 der CPU in Verbindung. Während der Datenholzeit (RFSH-Zeit) vom Bildwiederholpeicher wird der Datenbustreiber durch /F3 = LOW in den hochohmigen Zustand versetzt.

Richtungssteuerung:

Operation	/PROMCS	/RD	M1	/IORQ	T	Richtung
Lesen Anfangs lader PROM	0	1	X	0	1	A → B
Lesen RAM oder INPUT	1	1	X	X	0	A ← B
Schreiben RAM oder OUTPUT	1	0	0	X	1	A → B
INTA-Zyklus (Les.INT-Vektor)	1	0	1	1	0	A ← B

X = 0 oder 1

- /M1: (Maschinenzyklus 1). /M1 ist low-aktiv und zeigt an, daß sich der laufende Maschinenzyklus der Befehlsabarbeitung im Zustand „Aufruf des Operationskodes“ befindet. /M1 wird während der Ausführung eines 2 Byte langen Operationskodes beim Aufruf jedes OP-Kode-Bytes erzeugt. /M1 tritt auch zusammen mit /IORQ auf, um einen Interrupt-Akzeptanzzyklus anzuzeigen.*
- /MREQ: Speicheranforderung (memory request). Das low-aktive Signal zeigt an, daß der Adreßbus eine gültige Adresse für eine Speicher-Lese- oder Schreiboperation enthält.*
- /IORQ: Ein-Ausgabe-Anforderung (input/output request). /IORQ ist low-aktiv und zeigt an, daß die untere Hälfte des Adreßbusses eine gültige E/A-Adresse für eine E/A-Lese- oder Schreiboperation enthält. Ein /IORQ-Signal wird auch während der /M1-Zeit aktiv generiert, um bei Interrupt-Akzeptanz anzuzeigen, daß ein entsprechender Interruptvektor auf den Datenbus gelegt werden kann. Interrupt-Akzeptanz-Operationen treten während der /M1-Zeit auf, wogegen E/A-Operationen niemals während der /M1-Zeit durchgeführt werden.*
- /RD: Lesen (read). /RD ist low-aktiv und zeigt an, daß die CPU Daten vom Speicher oder von einem E/A-Gerät lesen will.*
- /WR: Schreiben (write). /WR ist low-aktiv und zeigt an, daß der Datenbus gültige Daten enthält, die im adressierten Speicherplatz oder E/A-Gerät gespeichert werden sollen.*
- /HALT: Halt-Zustand (HALT-state). Befindet sich dieser Ausgang im Zustand low, zeigt die CPU an, daß sie einen Software-HALT-Befehl ausführt und nun entweder einen nicht maskierten oder einen maskierbaren Interrupt erwartet. Nur dadurch kann die CPU diese Operation wieder verlassen. Die CPU führt in diesem Zustand NOP-Befehle aus, um die Auffrischung der Speicher durchzuführen.*
- /WAIT: Warten (WAIT). Low-aktiver Eingang an der CPU. /WAIT zeigt an, daß der adressierte Speicherplatz oder das E/A-Gerät noch nicht für einen Datentransport bereit sind. Solange dieses Signal aktiv ist, generiert die CPU WAIT-Zustände. Mit Hilfe dieses Signals können besonders E/A-Geräte mit abweichender Geschwindigkeit mit der CPU synchronisiert werden. Dabei ist zu beachten, daß durch die zusätzlichen WAIT-Zyklen das Auffrischen des Speichers nicht beeinträchtigt wird.*

/INT: Interrupt-Aufforderung (interrupt request). Eingang low-aktiv. Das Interrupt-Anforderungssignal wird durch ein E/A-Gerät erzeugt. Eine Anforderung wird am Ende des laufenden Befehls beachtet. wenn das Interrupt-Aufnahme-Flipflop, das durch die interne Software gesteuert wird, bereit ist und wenn das /BUSRQ-Signal nicht aktiv ist. Nimmt die CPU den Interrupt an, so wird das Interrupt-Aufnahmesignal bei Beginn des nächsten Befehlszyklus (/IORQ während M1 ausgesendet).

/NMI: Nicht maskierbarer Interrupt (non maskable interrupt). Eingang, getriggert auf Low-Flanke. Triggerflanke aktiviert ein internes NMI-Flipflop. Die Funktion NMI hat eine höhere Priorität als das INT und wird am Ende des anliegenden Befehls getestet, unabhängig von der Lage des Interrupt-Aufnahme-Flipflops. /NMI zwingt die CPU automatisch zu einem RESTART ab Speicherplatz 0066H. Der Befehlszähler wird automatisch im Kellerspeicher gerettet, so daß der Anwender zu dem Programm zurückkehren kann, das unterbrochen wurde. Es muß beachtet werden, daß zusätzliche WAIT-Zyklen das Ende des anliegenden Befehls verhindern und ein /BUSRQ ein /NMI überschreibt.

/BUSRQ: Busanforderung (bus request). Eingang low-aktiv. Das Busanforderungssignal wird benutzt, um die CPU aufzufordern, den Adreß- und Datenbus und die Drei-Zustands-Ausgangssignale in den hochohmigen Zustand zu bringen. Das erfolgt, sobald der laufende Maschinenzyklus der CPU abgeschlossen ist.

/BUSAK: Busbestätigung (bus acknowledge). Ausgang low-aktiv. Das Busanforderungssignal wird benutzt, um die Bustreiberschaltkreise nach Busanforderung in den hochohmigen Zustand zu bringen.

/RESET: Eingang, low-aktiv. /RESET stellt den Befehlszähler auf Null und weist der CPU Anfangswerte zu.

Diese Anfangswertzuweisung umfaßt:

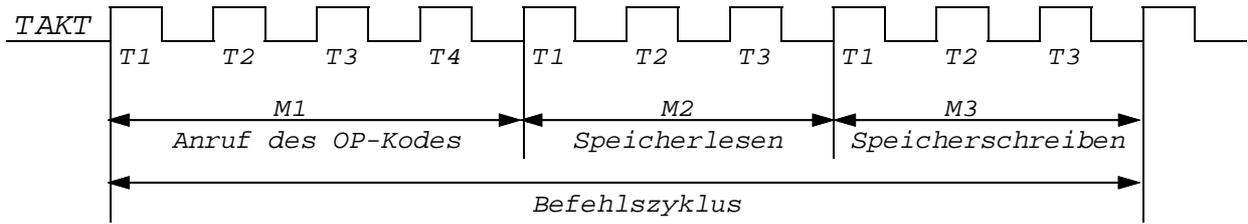
- Ausschalten des Interrupt-Aufnahme-Flipflops*
- Setzen des Registers I = 00H*
- Setzen des Registers R = 00H*
- Setzen der Interruptart 0*

Während der RESET-Zeit gehen der Adreßbus und der Datenbus in den hochohmigen Zustand und alle Steuerausgänge in den inaktiven Zustand.

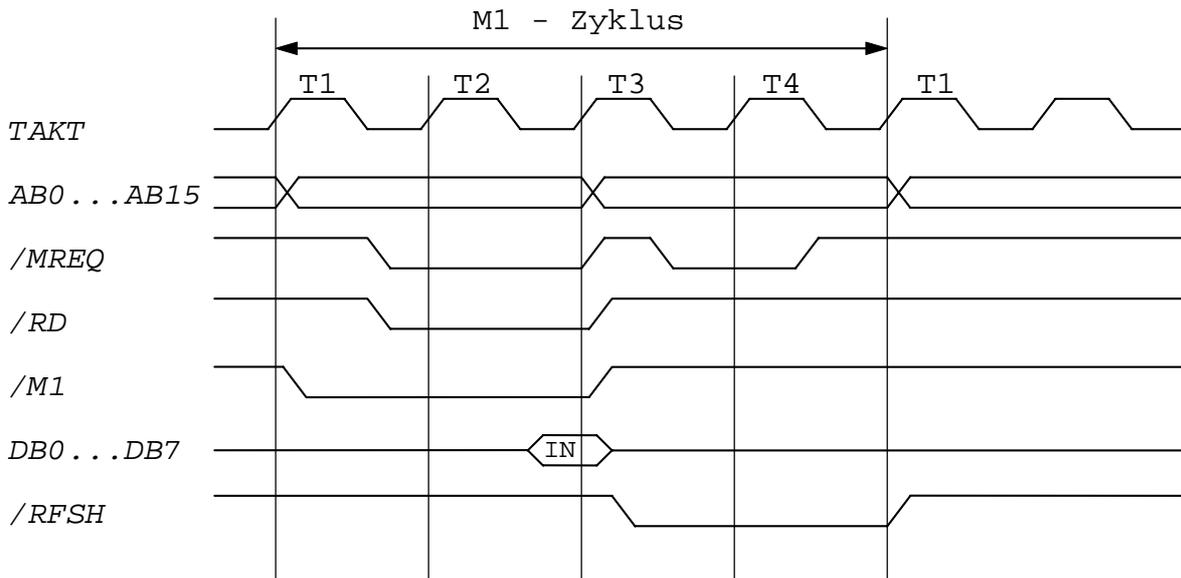
/RESET wird gebildet beim Einschalten durch eine Schaltungsanordnung, die eine low-Zeit von 53 ms bis 146 ms ergibt. Ein /RESET = low für 10 µs bis 25 µs erreicht man beim Betätigen der RESET-Taste. Die Schaltungsanordnung dazu ist mit M1 synchronisiert, um eine Zerstörung des RAM-Speicher-Inhaltes zu vermeiden.

1.2.2. Zeitabläufe CPU

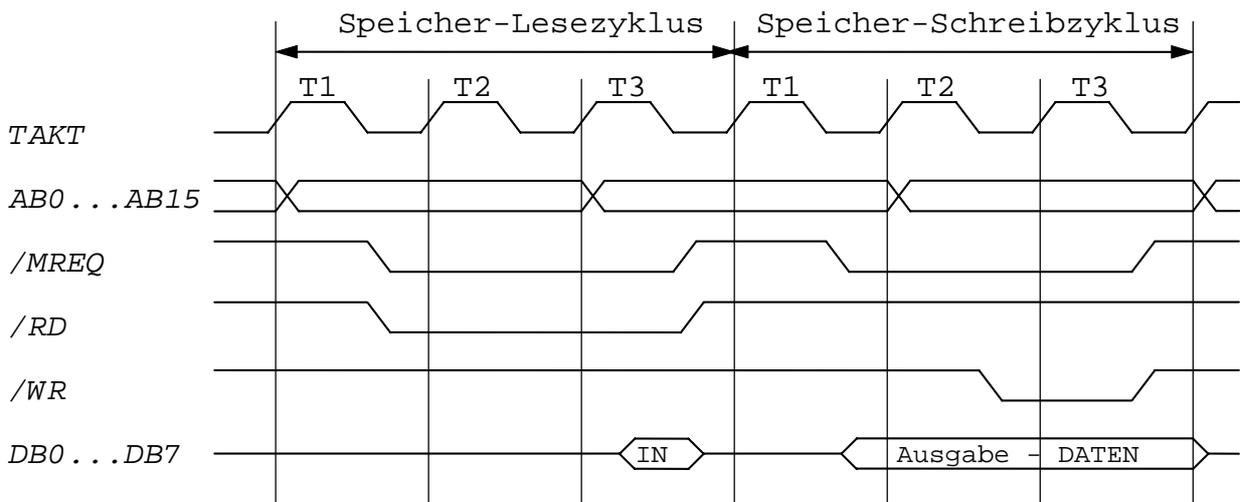
1. Genereller Zeitablauf



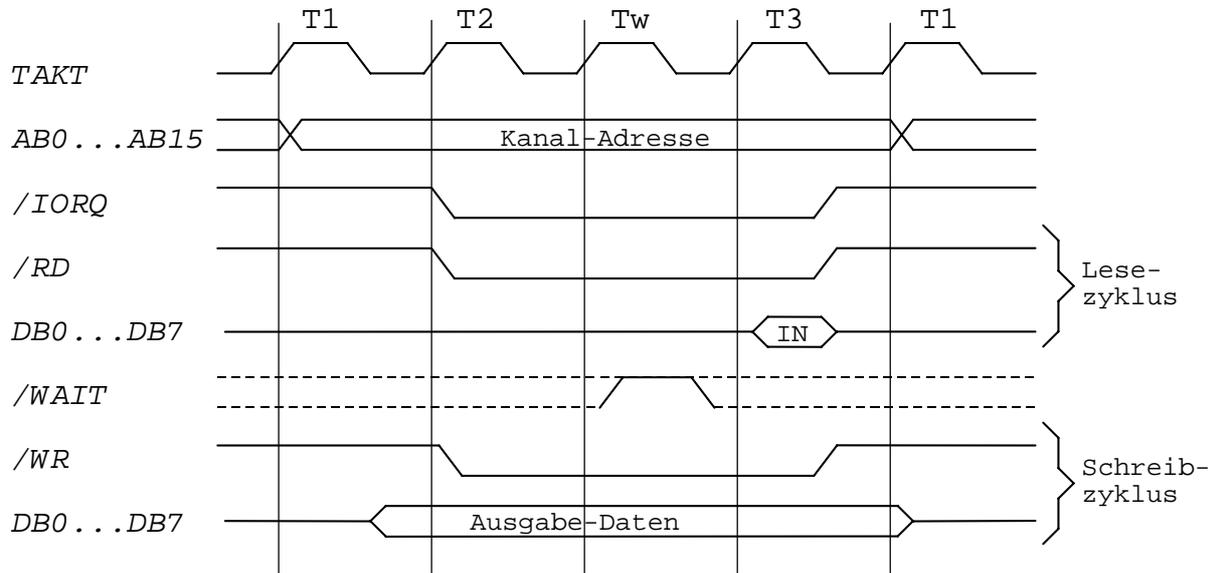
2. Aufruf des OP-Kodes eines Befehls



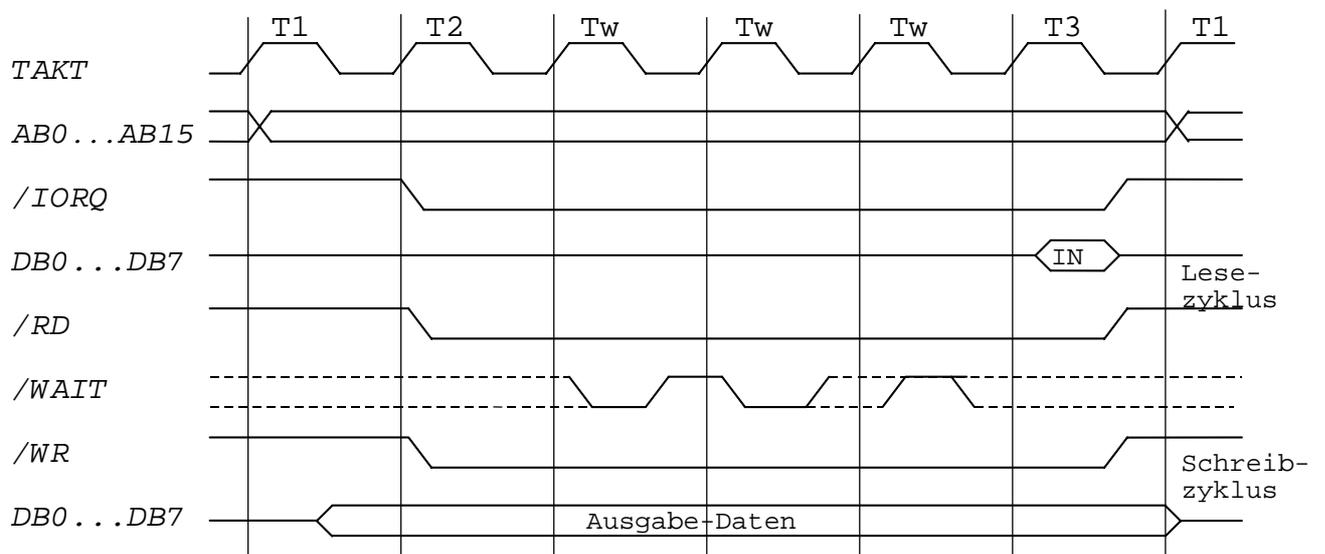
3. Speicher- Lese- oder Schreibzyklus



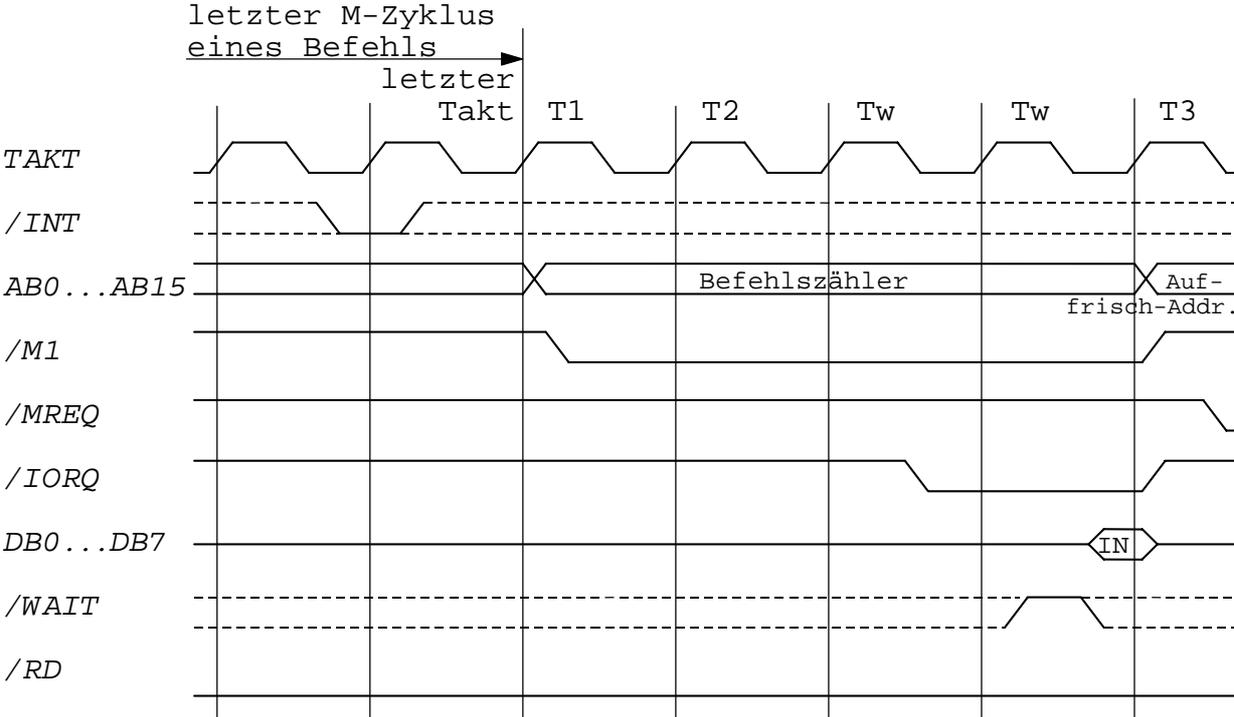
4. Eingabe- oder Ausgabezyklen



5. Ein- oder Ausgabezyklen mit WAIT-Zuständen



6. Interrupt-Anorderungs-/Annahmezyklus



1.2.3. Prioritätenkette

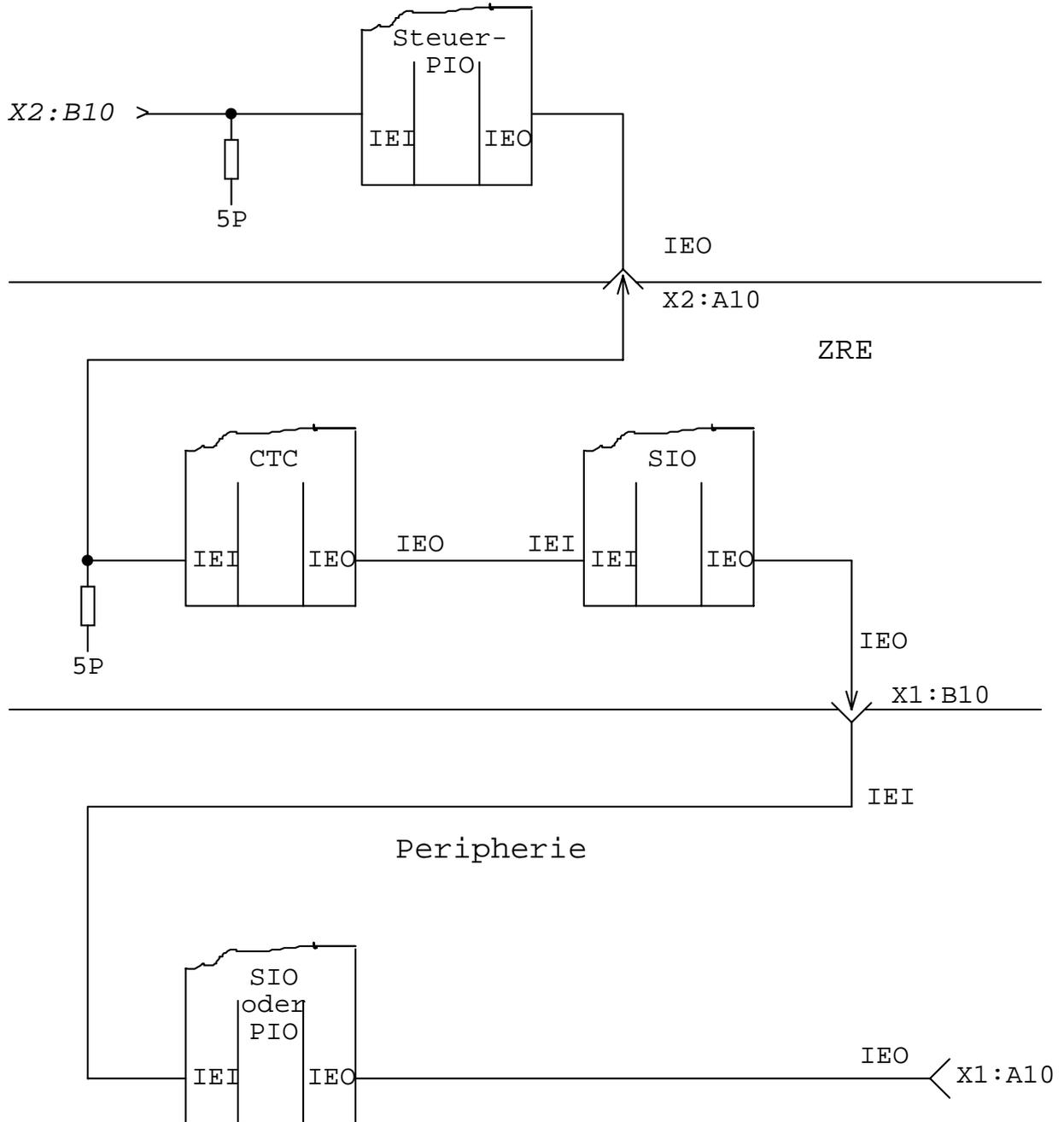
Die Verbindung von IEI mit IEO des nächsthöheren priorisierten E/A-Schaltkreises ermöglicht Interruptprioritäts-Kaskadierung. High-Pegel an IEI bedeutet, daß momentan kein Interrupt höherer Priorität abgearbeitet oder angemeldet wird. Die Interruptstrukturen aller peripheren E/A-Schaltkreise beinhalten eine automatisch wirkende Logik zur Auswahl der höchstwertigen Interruptanforderung. In dieser Prioritätenkaskadierung ist der Steuer-PIO der FD-Steuerung das vorderste Element und führt an seinem IEI-Eingang High-Pegel. Dieser Pegel setzt sich in der gesamten Kette fort, vorausgesetzt, daß kein E/A-Schaltkreis eine Interruptanforderung an die CPU absetzt. Sinngemäß besteht die Kaskadierungskette auch intern in den peripheren E/A-Schaltkreisen, indem die einzelnen Kanäle über eine IEI-IEO-Linie in Reihe geschaltet sind. Weiter vorn liegende Schaltkreise oder Kanäle haben immer die höhere Priorität. Die Kaskadierungskette wirkt High-aktiv. Somit kann ein E/A-Schaltkreis, der am IEI-Eingang High-Pegel empfängt, eine anstehende Interruptanforderung an die CPU weiterleiten. Er aktiviert seinen Ausgang. Der IEO-Ausgang wird gleichzeitig auf Low gesetzt und bewirkt das Durchschleifen dieses Pegels in der nachfolgenden Kette, so daß eine anstehende Interruptanforderung nicht zur CPU weitergeleitet wird.

Ein interruptanmeldender E/A-Schaltkreis mit niederer Wertigkeit wird durch die Interruptanforderung eines höherwertigeren E/A-Schaltkreises veranlaßt, seine Anmeldung zurückzunehmen. Die Interruptanmeldung des in der Prioritätenkette weiter vorn liegenden E/A-Schaltkreises wird bei Interruptfreigabe der CPU wirksam und die CPU schiebt die zugehörige Interrupt-Service-Routine in den Programmablauf ein. Nach Rückkehr der CPU aus dieser Routine in das zuvor aktuelle Programm erfolgt dann die erneute Anmeldung des niederwertigeren (zwischengespeicherten) Geräteinterrupts und es schließt sich die weitere Bearbeitung der unterbrochenen niederwertigen Bearbeitungsroutine an. So kann es zu einer Verschachtelung der Interruptbearbeitungsroutinen kommen.

Für den Fall, daß beim Bearbeiten des niederen Interrupts ein höherer Interrupt zustande kommt, die prozessorseitige Bearbeitung dieses Interrupts jedoch in der niederwertigen Interrupt-Service-Routine enthaltenen Interruptsperre verhindert wird, legt der höher priorisierte Schaltkreis mit nicht-quittierter Interruptanmeldung seinen IEO-Ausgang während der Ausführung des RETI-Befehls auf High. Auf dem folgenden Bild ist die Zusammenschaltung der E/A-Bausteine dargestellt.

Prioritätenkette

Ansteuerung Folienspeicherlaufwerke



1.2.4. I/O-Toradressen für Ein-/Ausgabekanäle

Der Dekoder (U205) für die Toradressen der Ein- und Ausgabebefehle besteht aus drei „1 aus 8“ Dekodern. Zwei davon liefern die auscodierten Toradressen, während der erste die Adreßbits AB5, AB6 und AB7 auscodiert und der erste und zweite Ausgang ist mit den beiden anderen Dekodern (/E2) verbunden. Die erste Gruppe ist ohne /IORQ, jedoch mit DACK als Bedingung beschaltet, da hier die Toradressen für E/A-Schaltkreise gebildet werden, wo als Eingangs-PIN /IORQ vorhanden ist.

Die zweite Gruppe ist für Logik-Elemente vorgesehen, die ohne Eingang für /IORQ aufgebaut sind. Dieser Dekoder enthält deshalb als weiteren Bedingungsingang (/E1) /IORQ. Der erste Dekoder ist nur aktiv, wenn M1 (an /E1, /E2) auf Low liegt und kein /RESET = Low anliegt. Über die Eingänge E3 können die Ein- und Ausgabe-Toradressen durch /I00I = Low gesperrt werden.

In folgender Übersicht sind die Toradressen konkret dargestellt.

I/O-Toradressen

<u>Signal</u>	<u>Zuordnung</u>	<u>Codierungen</u>	
/PIOCS0	FD-Datentransport	Steuerregister: Kanal A: 01H Kanal B: 03H	Datenregister: Kanal A: 00H Kanal B: 02H
/PIOCS1	FD-Steuersignale	Steuerregister: Kanal A: 05H Kanal B: 07H	Datenregister: Kanal A: 04H Kanal B: 06H
/KRFD	FD-Steuersignale	Datenwort 20H, (21H, 22H, 23H)	
/CTCCS0	CTC (TAKT für SIO)	Kanal 00: 08H Kanal 01: 09H	Kanal 02: 0AH Kanal 03: 0BH
/SIOCS0	SIO Drucker, Tastatur V.24	Steuerregister: Kanal A: 0EH Kanal B: 0FH	Datenregister: Kanal A: 0CH Kanal B: 0DH
/CTCCS1	CTC (TAKT für SIO)	Kanal 00: 10H Kanal 01: 11H	Kanal 02: 12H Kanal 03: 13H
/SIOCS1	SIO	Steuerregister: Kanal A: 16H Kanal B: 17H	Datenregister: Kanal A: 14H Kanal B: 15H
/CRTCS	Bildschirmkon- troller CRT	Kommandoregister: Parameterregister:	19H, 1BH 18H, 1AH

Signal	Zuordnung	Codierungen
/MEMCS0	PROM aktiv	24H, (25H, 26H, 27H)
/MEMSC1	PROM inaktiv	28H, (29H, 2AH, 2BH)
/LT107CS	1. Abfrage LT107	2DH, (2FH)
	2. Setzen Ltg. 111	2CH, (2EH)
/LT111C	Setzen Ltg. 111 ZRE	30H, (31H, 32H, 33H)
/BWSCS	Bildwiederhol- speicheranfangs- adresse und Um- schaltung Zeich,- generator (PROM)	34H, (35H, 36H, 37H)

1.2.5. Anfangslader ROM

Nach dem Einschalten oder nach dem Betätigen der RESET-Taste wird das System in den Zustand „Anfangsladen“ versetzt. Das bedeutet, daß ein in einem PROM (ROM) enthaltenes Mikroprogramm (Urlader) ein auf einer Diskette enthaltenes Maschinenprogramm (Betriebssystem) in den RAM-Speicher transportiert.

Die Speicherorganisation ist dabei folgende:

0000H - 07FFH	ROM nur Lesen möglich
0000H - 07FFH	RAM nur Schreiben möglich
0800H - FFFFH	Lesen und Schreiben möglich

Die Lese-/Schreibsteuerung im Bereich 0000H - 07FFH erfolgt durch einen Dekoder, der nur im Adreßbereich 0000H - 07FFH aktiviert wird, wenn eine Schaltungsanordnung, bestehend aus einem Haltekreis und einer Torschaltung NREQ . RD . /MEMDI auf High-Pegel liegt. Der erste Ausgang des Dekoders ist mit der RAM-Speicher-Freigabesteuerung, mit der Datenbustreiber-Richtungssteuerung und mit dem CE-Eingang des PROMs verbunden.

Ein Low auf dieser Leitung sperrt den RAM-Speicher, schaltet den Datenbustreiber in Richtung RAM-Speicher und aktiviert den PROM. Nach Abschluß des Anfangsladezustandes wird der Haltekreis durch die Ausführung eines OUT-Befehls auf die Toradresse 28H, 29H, 2AH oder 2BH in den „Auszustand“ versetzt.

Das Einschalten für das Anfangsladen erfolgt durch /RESET oder durch einen OUT-Befehl mit der Toradresse 24H, 25H, 26H oder 27H.

1.2.6. RAM-Speicher

Der RAM-Speicher mit einer maximalen Kapazität von 64 Kbytes dient als Arbeitsspeicher sowie als Speicher für das Betriebssystem und für Nutzerprogramme. Er ist als dynamischer Speicher mit 16Kx1-DRAM-Schaltkreisen aufgebaut. Verwendbar sind folgende Schaltkreistypen:

U256
K565RU4A
K565RU3G

sowie andere äquivalente Importschaltkreise. Die Refreshbedingungen der verwendeten Schaltkreise sind: 128 Refreshzyklen pro 2 ms, d.h., die 128 Reihen (Adressen AB0-AB6) müssen mindestens alle 2 ms einmal aufgerufen werden (Refresh-Lese- oder Schreibzyklen). Die Einhaltung der Refreshbedingungen wird durch die DMA-Lesezyklen der Displaysteuerung gewährleistet (siehe 1.2.7.) und während der Pause, die durch den Strahlrücklauf entsteht, durch die Refreshzyklen des U880. Die verwendeten 16Kx1-DRAMs benötigen zur Adressierung ihrer internen Speichermatrix eine 14-Bit-Adresse, die, um mit einem 16-Pin-Gehäuse auskommen zu können, in 2 Schritten über die Adreßanschlüsse A0-A6 in schaltkreisinterne Adreßregister übernommen wird.

Die Reihenadresse (AB0-AB6) wird mit der HL-Flanke von /RAS übernommen und die Spaltenadresse (AB7-AB13) mit der HL-Flanke von /CAS1-/CAS4. Die Umschaltung von der Reihen- auf die Spaltenadresse wird über die Adreßmultiplexer A28.1 und A28.2 durch das Adreßumschaltsignal WS vorgenommen, das durch das Flipflop A33.1 bei RAS*=H (high) mit der HL-Flanke des Taktes erzeugt wird. Das Flipflop wird durch das RAS*=L wieder zurückgesetzt (Diagramm 1). /RAS wird durch Steuerbussignal MREQ erzeugt. Die konjunktive Verknüpfung mit F2 dient der schnellen Abschaltung von /RAS im M1-Zyklus, um die von den langsamsten einsetzbaren DRAM-Schaltkreisen (K565RU3A) geforderte H-Zeit von /RAS (min. 200 ns) zu gewährleisten. F1 dient als Vorbereitungsflipflop für F2. Die Funktion von F1 und F2 im normalen M1-Zyklus (mit Refreshdurchführung durch die CPU) zeigt Diagramm 2.

Vom Einschalten der Spaltenadresse durch WS=H (high) bis zur HL-Flanke von /CAS1-/CAS4 wird eine Verzögerung von min. 20 ns benötigt. Diese Verzögerung wird gewährleistet, indem das durch den Adreßmultiplexer A28.1 erzeugte Signal /CAS über 2 in Reihe geschaltete D108-Gatter als Verzögerungsstrecke am Dekoder A10.1 anliegt, der aus den Adreßleitungen AB14 und AB15 die 4 Steuerleitungen /CAS1 bis /CAS4 für die 4 16K-Speicherbänke entschlüsselt.

/RAS liegt an allen Speicherschaltkreisen ständig an, um die Refreshdurchführung zu gewährleisten (beim sog. RAS-only-Refresh ist nur /RAS und die Reihenadresse nötig). Um eine Speicherbank lesen oder schreiben zu können, muß

jedoch /RAS und das entsprechende der Signale /CAS1-/CAS4 gleichzeitig aktiv sein (durch /CAS1-/CAS4 werden die Ausgänge der Speicherschaltkreise aktiviert).

Beim Schreiben liegen die Schreibdaten über den Datenbus DB0-DB7 direkt an den Dateneingängen DI der DRAMs an und werden mit der HL-Flanke des /WR-Impulses übernommen.

Beim Lesen, gekennzeichnet durch /WR=H (high) an den Speicherschaltkreisen, werden die Lesedaten von den Ausgängen DO der DRAMs über den Treiber A22.2 auf den Datenbus geleitet. Der Treiber A22.2 wird aktiviert durch /RDRAM=L, gebildet aus den Signalen RD und RAS* (Diagramm 1). RAS*, das bei Lese- und Schreiboperationen H (high) sein muß, kann in 2 Fällen gesperrt werden:

1. /MEMDI = L (low) (allg. Speichersperre)
2. /PROMCS = L (low) (PROM lesen)

Die Sperre wird über NAND-Gatter A9 (Ausgang 11) und AND-NOR-Gatter A2 wirksam.

1.2.7. Displaysteuerung

Kern der Displaysteuerung ist der CRT-Controller KR580WG75 (8275). Die Bildschirmsteuerung hat die Aufgabe, in einem Teilbereich des RAM-Speichers befindliche Daten auf einem der beiden Monitore (K7221.25 oder K7222.25) abzubilden.

1.2.7.1. Kurzcharakteristik des CRT-Controllers

Der CRT-Controller 8275 besteht aus folgenden Funktionsbaugruppen:

Zeichenzähler: betrieben mit dem Zeichentakt CCLK; programmierbar auf 1 - 80 Zeichen/Zeile; bestimmt auch die Länge des horizontalen Strahlrücklauf-Intervalles (programmierbar 2 - 32 Zeichentakte).

Linienzähler: programmierbar auf 1 - 16 Linien/Zeile; seine Ausgänge LC0-LC3 werden benutzt, um den externen Zeichengenerator zu adressieren.

Zeilenzähler: programmierbar auf 1 - 64 Zeilen/Bild; bestimmt außerdem die auf 1 - 4 Zeilen programmierbare Länge des vertikalen Strahlrücklaufintervalles.

Raster- und Displaysteuerung: Die Rastersteuerung erzeugt die Ausgangssignale HRTC (horizontaler Strahlrücklauf) und VRTC (vertikaler Strahlrücklauf).

Die Displaysteuerung erzeugt die Ausgangssignale:

LA0-LA1 (Linienattribut): werden zur Erzeugung von 11 gra

fischen Zeichen zur Darstellung eines lückenlosen orthogonalen Rasters (Formulargestaltung) benutzt.

HGLT: Einschaltung einer zweiten Helligkeitsstufe
RVV: Inversdarstellung
LTEN: Strahleinschaltung (z.B. Unterstreichen)
VSP: Videounterdrückung (z.B. bei Strahlrücklauf)
GPA0-1: Ausgänge für allg. Verwendungszwecke

Zeilenpuffer: 2 Zeilenpuffer für je 80 Zeichen zu 8 Bits. Während einer die Zeichen für eine Zeile über die Ausgänge CC0-CC6 bereitstellt, gesteuert durch den Zeichentakt CCLK, wird der andere im DMA-Betrieb aus dem RAM-Speicher neu gefüllt.

FIFO-Speicher: Jedem Zeilenpuffer ist als Erweiterungsmöglichkeit ein FIFO-Speicher (First In - First Out) für 16 Zeichen zu je 7 Bits zugeordnet. der im transparenten Attributmodus das auf ein Feldattribut (Steuerzeichen, das z.B. Blinken, Inversdarstellung, Unterstreichen ein- oder ausschaltet) folgende darstellbare Zeichen aufnimmt. Dadurch ist es möglich, pro Zeile außer max. 80 darstellbaren Zeichen 16 Steuerzeichen einzulesen.

Die Programmierung des CRT-Controllers erfolgt durch insgesamt 8 Befehle (teilweise mit Parametern), on denen beim robotron 1715 nur die folgenden verwendet werden:

Befehl	Zahl der Parameter
Reset	4
Start Display	0
Stop Display	0
Load Cursor	2

Zwischen Befehlen und Parametern wird durch den Eingang A0 (niedrigstes Adreßbit) unterschieden:

A0 = H (high) Befehl
A0 = L (low) Parameter

Übersicht über die verwendeten Befehle:

Befehl/Parameter	A0	Datenbus
Resetbefehl	1	0000 0000
Parameter 1	0	SHHH HHHH
Parameter 2	0	VVRR RRRR
Parameter 3	0	UUUU LLLL
Parameter 4	0	MFCC ZZZZ
Start Display	1	001S SSBB
Stop Display	1	0100 0000
Load Cursor	1	1000 0000

Befehl/Parameter	A0	Datenbus
Zeichen-Nr.	0	Zeichen Pos. in Zeile
Zeilen-Nr.	0	Zeilen-Nr.

Bedeutung der Parameter:

S = 0: normale Zeilen

S = 1: Zeilen mit Zwischenraum

HHHHHHH: Anzahl der Zeichen/Zeile (1 - 80)

VV: Länge des vertikalen Strahlrücklaufintervalles
(1 - 4 Zeilen)

RRRRRR: Anzahl der Zeilen/Bild (1 - 64)

UUUU: Linien-Nr. des Unterstreichstrichs

LLLL: Anzahl der Linien/Zeichenzeile

M: Linienzähler-Modus

M = 0: duale Zählweise mit 0000 beginnend

M = 1: Zählweise um 1 versetzt (mit höchster Linien-Nr.
beginnend, dann 0000, 0001, ...)

F: Feldattribut-Modus

F = 0: Transparent (Feldattribute werden auf dem Bild-
schirm nicht sichtbar; Benutzung des FIO-Spei-
chers)

F = 1: Nicht-Transparent (Feldattribute stehen an Stel-
len darstellbarer Zeichen und werden als Blank
dargestellt)

Beispiel: Unterstreichen

F = 0: A B C D E F G H

F = 1: A B C D E F G H

CC: Cursor-Modus

00: Blinkend invers

01: Blinkend unterstrichen

10: Nicht-blinkend invers

11: Nicht-blinkend unterstrichen

ZZZZ: Länge des horizontalen Strahlrücklaufes
(2 - 32 Zichentakte)

SSS: Anzahl der Zeichentakte zwischen 2 DMA-Anforderun-
gen (bei 1715: 0 Takte, zu prog. 000)

BB: Anzahl dr DMA-Zyklen pro Busanforderung
(Beim 1715 1 DMA-Zyklus, zu prog. 00)

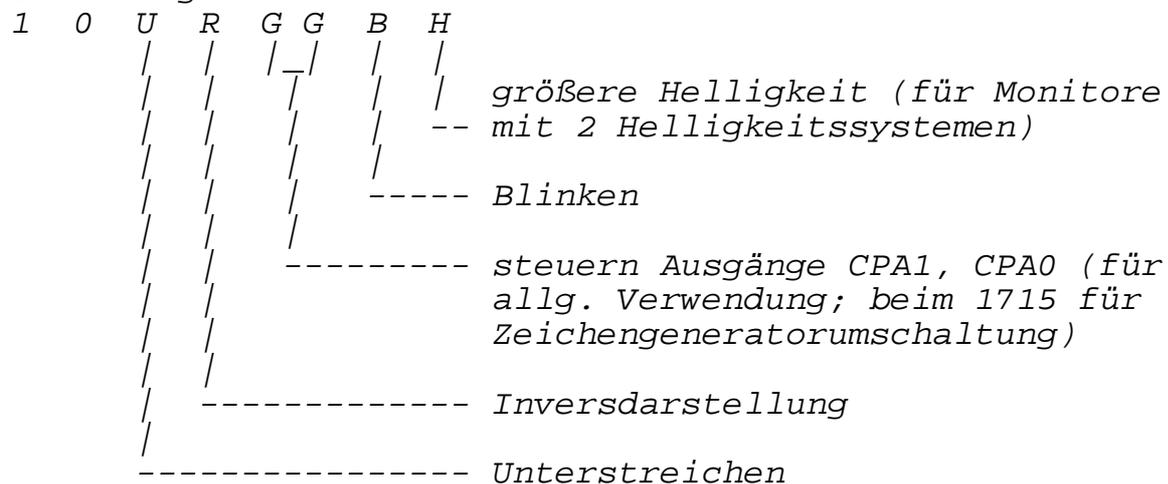
Die Eingabe der Befehle und Parameter in den CRT-Controller erfolgt über die Dateneingänge D0-D7 bei Aktivierung von /CS und /WR.

Das **Füllen der Pufferspeicher** geschieht im transparenten DMA-Betrieb während der Refreshzyklen. Der CRT-Controller gibt zu Beginn einer Zeile (für die 1. Bildschirmzeile bereits zu Beginn der letzten Zeile des vertikalen Strahlrücklaufes VRTC = H (high)) DMA-Anforderungen DRQ = H (high) aus. Die DMA-Steuerung meldet dem CRT-Controller mit dem DMA-Anerkennungssignal /DACK = L (low), daß auf D0-D7 ein Datenbyte bereitsteht, das mit /WR = L (low) in den Pufferspeicher (oder FIFO) übernommen wird.

Das höchstwertige Bit (D7) des Datenbytes entscheidet, ob es sich um ein auf dem Bildschirm über den Zeichengenerator darstellbares Zeichen (D7=0) oder bei D7=1 um einen Zeichenattributcode (11 grafische Zeichen, die ohne Zeichengenerator mit LA0-LA1 durch eine Zusatzsoftware erzeugt werden), einen Spezialcode (Ende der Zeile mit oder ohne Stop DMA, Bildende mit oder ohne DMA) oder um einen Feldattributcode handelt.

Ein Feldattributcode (als Blank dargestellt oder transparent) schaltet einen bestimmten Zustand ein, der vom folgenden Zeichen an solange wirkt, bis er durch einen weiteren Feldattributcode, in dem das betreffende Bit 0 ist, wieder aufgehoben wird oder bis zum Bildende.

Codierung:



z.B.: B = 1 Blinken ein B = 0: Blinken aus

1.2.7.2. Programmierung des CRT-Controllers bei Display 1/2

Die Programmierung (Initialisierung) des CRT-Controllers bei Anschluß von Display1 (16x64 Zeichen) = K7221.25 oder von Display 2 (24x80 Zeichen) = K7222.25 kann in folgender Weise erfolgen:

Befehl/Par.	Toadresse	K7221.25	K7222.25
Reset	19	00	00
Par. 1	18	3F	4F
Par. 2	18	4F	57
Par. 3	18	6E	6B
Par. 4	18	6B	6D
Start-Display	19	20	20

1.2.7.3. DMA-Steuerung

Der CRT-Controller 8275 ist von der Konzeption her für DMA-Betrieb ausgelegt. Normaler DMA-Verkehr mit Übernahme der Busherrschaft vom U880 durch /BUSRQ = L und damit verbundener Programmunterbrechung war wegen zeitlicher Kollision mit dem programmgesteuerten Floppy-Disk-Betrieb nicht möglich und hätte außerdem Zeitverluste von 20-25% ergeben. Der Einsatz eines separaten Bildwiederholerspeichers ergibt erhöhten Aufwand, da die Zeichenadresse durch den CRT-Controller nicht ausgegeben wird.

Aus diesen Gründen erfolgt beim 1715 das Füllen der Zeilenpuffer des CRT-Controllers im transparenten DMA-Betrieb unter Verwendung eines Teils der Refreshzyklen des U880. Da die übrigbleibenden Refreshzyklen, außer während des Vertikalstrahlrücklaufs, nicht unter allen Bedingungen ausreichen, um die Refreshforderungen der DRAMs zu erfüllen, müssen die DMA-Lesezyklen gleichzeitig die Refreshdurchführung übernehmen. Beim Zeilenpufferfüllen werden die Speicheradressen fortlaufend durchgezählt, so daß bei Anschluß des Displays spätestens nach 2 Zeilen (bei K7221.25 mit 64 Zeichen Zeilenlänge genau nach 2 Zeilen) alle 128 Refreshadressen einmal aufgerufen worden sind. Beim K7221.25 beträgt die Zeit für eine Zeile gerade 1 ms (bei 15 Linien/Zeile), beim K7222.25 0,75 ms (bei 12 Linien/Zeile). Die Refreshforderung, daß in 2 ms alle 128 Refreshadressen einmal aufgerufen werden, wird also bei beiden Displays durch die DMA-Lesezyklen erfüllt. In der 2 Zeilenlängen dauernden, durch den Vertikalstrahlrücklauf bedingten DMA-Pause übernehmen die Refreshzyklen des U880 die Refreshdurchführung.

Die für den DMA-Lesevorgang nötigen Signale erzeugen die Flipflops F3 und F4 unter Zuhilfenahme unter Zuhilfenahme des Flipflops F1 (Diagramm 3). Während F1 in jedem M1-Befehlslesezyklus einschaltet, können F3 und F4 nur einschalten, wenn eine DMA-Anforderung DRQ = H (high) vom CRT-Controller am Eingang 10 vom D108-Gatter A3.1 anliegt. Durch /F3 L (low) werden /BAO = L und alle U880-Treiber hochohmig. Durch /F3 = 0 (low) an /OE der Treiber A22.4 und A22.5 wird die Adresse des RAM-Speicherbereiches aktiviert, in dem die Displaydaten abgespeichert sind. Der niederwer

tige veränderliche Teil der Adresse wird vom Adreßzähler A26.1-3 erzeugt (10Bits bei K7221.25, 11 Bits bei K7222.25, 11 Bits. Bit über Br. X12 zuschalten. Der höherwertige Adreßteil, der die Lage des Bildschirmspeichers im 64K-Bereich festlegt, wird aus dem Speicherregister A23.2 übernommen, wo er mit einem OUTPUT-Befehl mit der Toradresse 34 eingestellt werden kann (bei K7221.25 wird das 11. Adreßbit über Br. X12 auch von A23.2 übernommen).

Der Eingang 10 des D108-Gatters A3.1 ist über einen Umschalter S2 mit dem DMA-Anforderungssignal DRQ verbunden. Das bietet die Möglichkeit, bei Instandsetzungsarbeiten den Eingang 10 des D108-Gatters A3.1 von DRQ auf 0V umzuschalten.

Der Adreßzähler wird am Ende jedes DMA-Lesezyklusses mit der Rückflanke von F4 weitergeschaltet. Die Synchronisation des Zählers (Nullsetzen) erfolgt bei jedem Bildwechsel mit dem vom Vertikalsynchronsignal VRTC abgeleiteten Impuls /VIMP.

Im DRAM-Speicher muß das Signalspiel für einen Lesevorgang erzeugt werden. Durch F3.F4 wird über AND-NOR-Gatter AZ/RAS erzeugt (verzögerte Einschaltung, um die Mindest-H-Zeit (high) von /RAS zu gewährleisten. Die Erzeugung von RAS* und damit von einem der Signale /CAS1 - /CAS4 wird durch /F4 = L (low) am Eingang 1 von A2 ermöglicht, auch wenn der DRAM-Speicher durch /MEMDI = L (low) gesperrt sein sollte. /RDRAM = L (low) wird gleichfalls durch F3.F4 (A1) aktiviert.

Die Lesedaten können nicht direkt vom Datenbus DB0-DB7 in den Zeilenpuffer des CRT-Controllers übernommen werden, da die Forderung „Datensetzzeit mind. 150 ns“ nicht erfüllt werden kann. Aus diesem Grunde erfolgt eine Zwischenpufferung während STB = L (low) (Diagramm 3) im Speicherregister A23.1. Die Übernahme der Daten in den CRT-Controller geschieht mit der LH-Flanke des Schreibimpulses /WRCRT. Die Übernahme der Daten in den Zeilenpuffer (oder FIFO-Speicher) wird durch das DMA-Quittungssignal /DACK = L (low) gesteuert, dabei muß /CS = H (high) sein (bei /DACK = H (high) und /CS = L (low) werden die Daten mit /WRCRT = L in ein Befehls- oder Parameterregister übernommen.

1.2.7.4. VIDEO-Steuerung

Durch einen quarzgesteuerten Multivibrator wird der Bildpunkttakt BPT1/2 (Entkopplung aus Belastungsgründen) erzeugt.

10,7 MHz für K7221.25

13,8 Mhz für K7222.25

Da ein Zeichenfeld 8 Punkte breit ist (bei Verwendung von K7221.25 8x15 Punkte, bei K7222.25 8x12 Punkte; Zeichendarstellung mit 6x9 Punkten), muß der Bildpunkttakt mit Hilfe

des aus Zeitgründen aus Schottky-Flipflops A7.1/A7.2 aufgebauten Dualzählers 1:8 untersetzt werden, um den Zeichentakt CCLK zu erhalten. CCLK dient als Grundtakt für den CRT-Controller, der /CCLK als Synchronisationstakt für die Videosteuersignale (Diagramm 4). Der CRT-Controller stellt den Zeichencode und die Attribut- und Steuersignale gegenüber der HL-Flanke von CCLK verzögert zur Verfügung (max. 150 bzw. 275 ns). Der Zeichencode (CC0-CC6) liegt gemeinsam mit den Ausgängen des Linienzählers (LC0-LC3) an den Adreßeingängen A0-A10 der beiden umschaltbaren Zeichengeneratoren PROMs A25.1 und A25.2 an. Die Auswahl eines der beiden ZG geschieht mit DB6 = low/high durch OUTPUT 34 (A23.2). Durch GPA0 = low/high (Feldattributcode) kann zeichenweise (auch innerhalb einer Zeile) auf den jeweils anderen ZG umgeschaltet werden. Es kann also innerhalb einer Zeile oder eines Bildes mehrfach zwischen den Zeichensätzen gewechselt werden.

Die Zeichengeneratorausgänge sind über trennbare Brücken mit den Paralleleingängen des Schieberegisters A18.1/2 verbunden, das der Parallel-Serien-Wandlung von jeweils einer Punktzeile eines Zeichens dient. Bei Auftrennung der Brücken kann eine Sondereinrichtung eingefügt werden, die es gestattet, mit Hilfe der Ausgänge LA0/LA1 des CRT-Controllers, die durch die Zeichenattributcodes gesteuert werden, 11 grafische Zeichen (senkrechte und waagerechte Linien) zu erzeugen (ohne Benutzung des Zgs, dessen Ausgänge gesperrt werden, wenn LA0 oder LA1 high ist).

Die Punktzeilen werden bei V = H (high) parallel in das Schieberegister übernommen und mit den 7 folgenden Takten (V = L (low)) seriell herausgeschoben. Dabei bewirkt H= (high) Helligkeitssteuerung, L= (low) Dunkelsteuerung des Bildpunktes.

Durch die dem SR-Ausgang nachgeschalteten Gatter können die Punktzeilenbits noch verändert werden: RVV* = H (high) bewirkt durch das Antivalenzgatter A17 eine Negation und damit Inversdarstellung; durch /VSP* = L (low) erfolgt Dunkelsteuerung VIDEO = L (low), was z.B. beim Strahlrücklauf und beim Blinken verwendet wird; durch /LTEN* = L (low) erfolgt Hellsteuerung (VIDEO = H (high) z.B. beim Unterstreichen). Durch /HLGT* = L (low) wird INTENS = H (high). Damit kann beim Display mit 2 Helligkeitsstufen die größere Helligkeit eingestellt werden.

1.2.7.5. Synchronsteuerung

Die Synchronsteuerung hat die Aufgabe, aus den vom CRT-Controller gelieferten Signalen

HRTC: = H (high) bei horizontalem Strahlrücklauf

VRTC: = H (high) bei vertikalem Strahlrücklauf

das von den zum Anschluß vorgesehenen Display benötigte Synchronsignal BSYN, das die Information für horizontalen

und vertikalen Strahlrücklauf mit spezifischen Zeitbedingungen enthalten muß, zu erzeugen.

Technische Daten bei Verwendung von Display

Parameter:	K7221.25	K7222.25
Anzahl Zeichen/Bild	16 x 64	24 x 80
Linien/Zeile	15	12
Punktfrequenz	10,7 MHz	13,8 MHz
Punkttaktperiode (BPT1/2)	93,5 ns	72,3 ns
Zeichentaktperiode (CCLK)	750 ns	580 ns
Linienschreibzeit	48,0 µs	46,2 µs
Strahlrücklaufzeit	18,0 µs	16,2 µs
Anzahl Zeichentakte/Rücklauf	24	28
Gesamtzeit/Linie	66,0 µs	62,4 µs
Zeit für 1 Zeile	1,0 ms	0,75 ms
Zeit für vertikalen Strahlrücklauf (zu progr. 2 Zeilen)	2,0 ms	1,50 ms
Zeit für 1 Bild (16/24 Zeilen)	16,9 ms	18,0 ms
Gesamtzeit für ein Bild mit Strahlrücklauf (18/26 Zeilen)	18,0 ms	19,5 ms
Bildwechselfrequenz	55 Hz	51 Hz

Die Synchronisation der Strahlrücklaufsteuerung im Display erfolgt durch die HL-Flanken des Signals BSYN, die ständig im gleichen Abstand erzeugt werden müssen.

Während der Bilddarstellung hat BSYN den Grundzustand H (high) und der horizontale Strahlrücklauf wird durch 6 µs lange negative Impulse (Diagramm 5) synchronisiert. Das Synchronsignal für den vertikalen Strahlrücklauf wird durch den Grundzustand L (low) von BSYN und positive Impulse von 6 µs Länge erzeugt. Der Zustand L (low) von BSYN darf jedoch nicht während der gesamten Zeit VRTC = H (high) vorhanden sein, sondern nur während der 1. Hälfte. Deshalb wird der Haltekreis VSYN durch den von der LH-Flanke von VRTC abgeleiteten negativen Impuls /VIMP (ca. 100 ns) eingeschaltet und zu Beginn der 2. Zeile (VRTC = H (high) dauert 2 Zeilenlängen) durch /F3 = L (low) beim 1. DMA-Lesevorgang wieder zurückgesetzt. Das Zurücksetzen von VSYN erfolgt in Abhängigkeit von den M1-Zyklen des U880, also asynchron zu den Signalen des CRT-Kontrollers, so daß die LH-Flanke, die den Grundzustand L (low) von BSYN beendet, zeitlich schwankt.

Die positiven und negativen Impulse von BSYN werden durch UV1 und UV2 mit einer Haltezeit von je 6 µs erzeugt. UV1 wird durch die positive Flanke von HRTC und UV2 durch die Rückflanke von UV1 eingeschaltet.

BSYN wird L (low) während /UV1 = L (low) und während /UV1 x VSYN = H (high)

Während des horizontalen und vertikalen Strahlücklaufes erfolgt eine Dunkeltastung (VIDEO = L (low) durch /VSP = L (low)).

Diagramm 1: RAM-Speicher Lesen/Schreiben

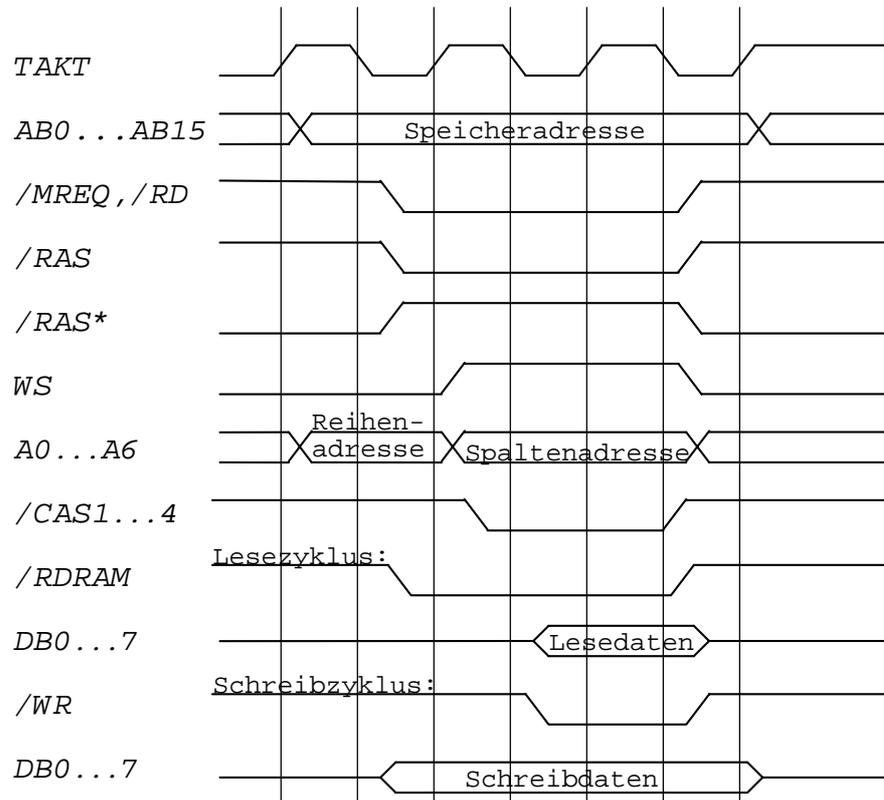


Diagramm 2: M1-Zyklus mit Refreshdurchführung

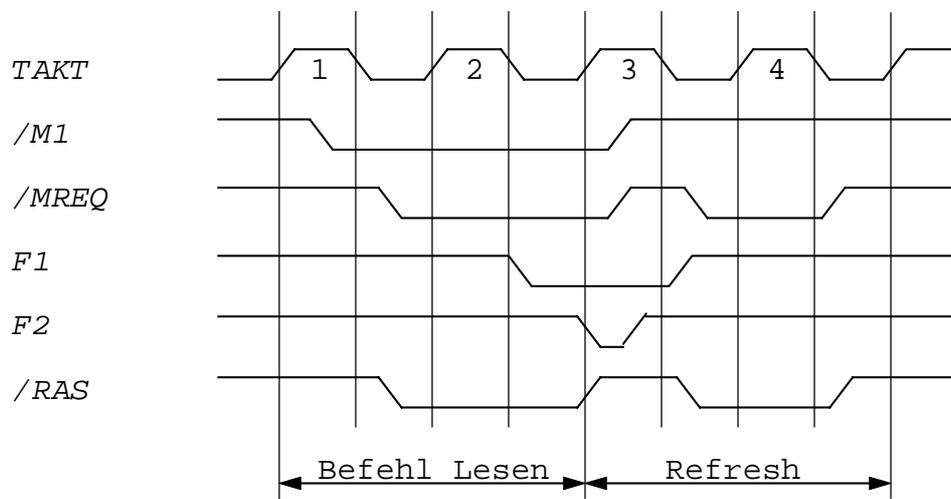


Diagramm 3: M1-Zyklus mit DMA-Lesezyklus

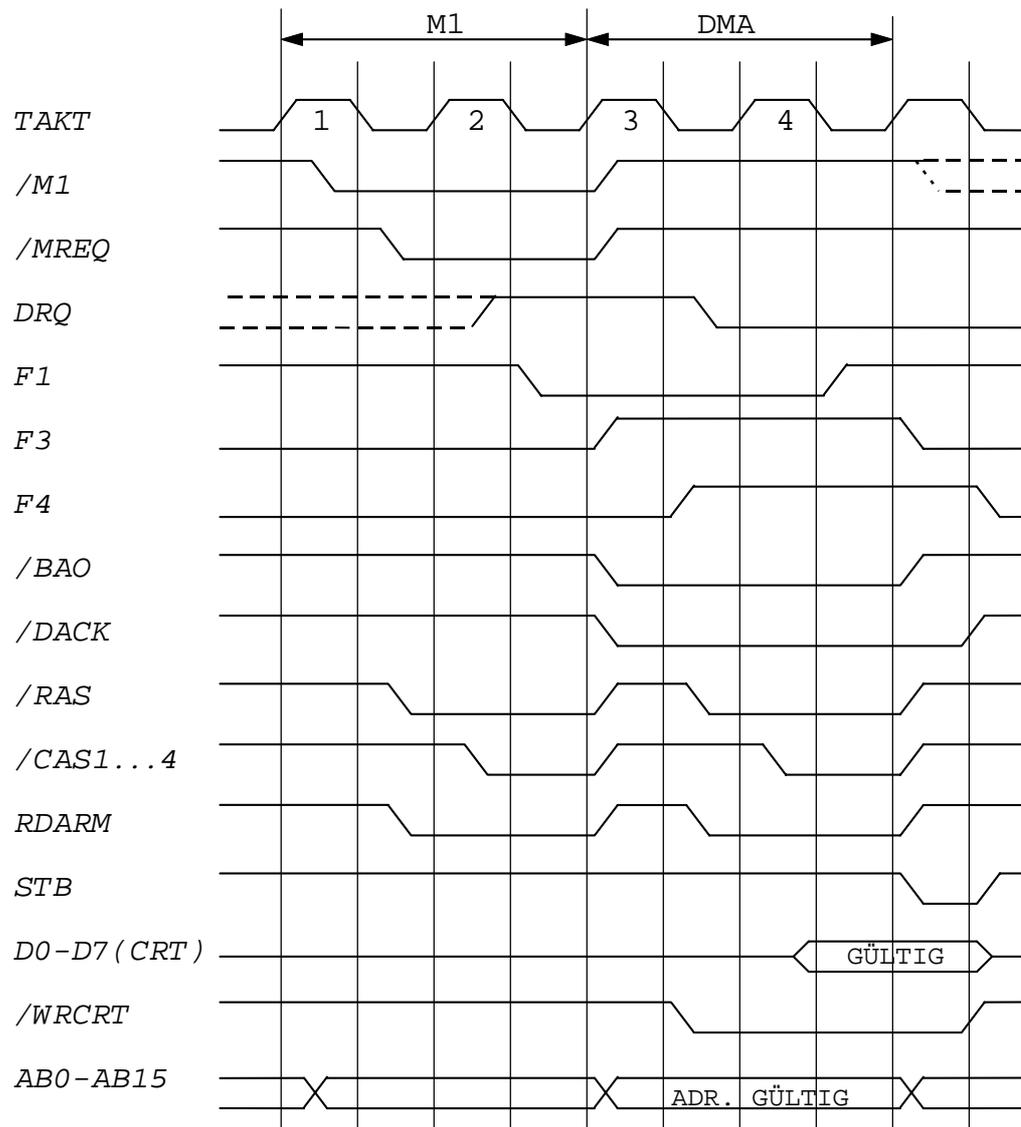
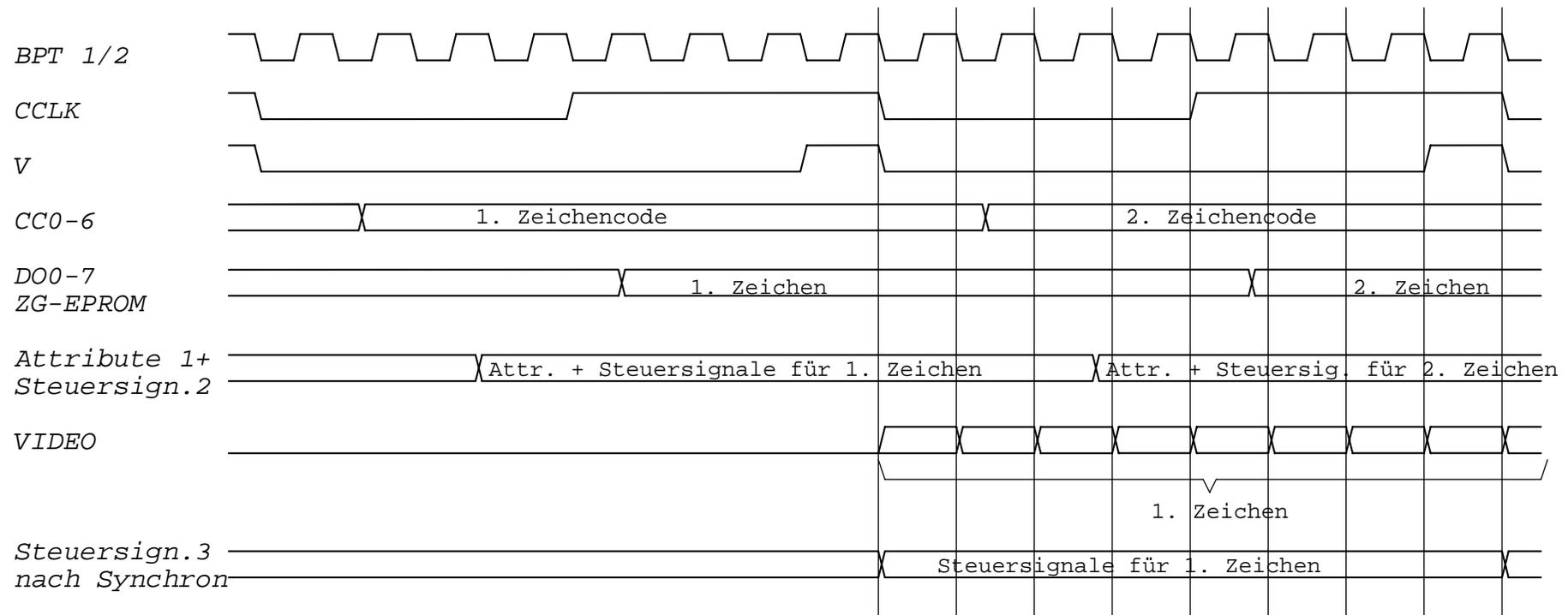
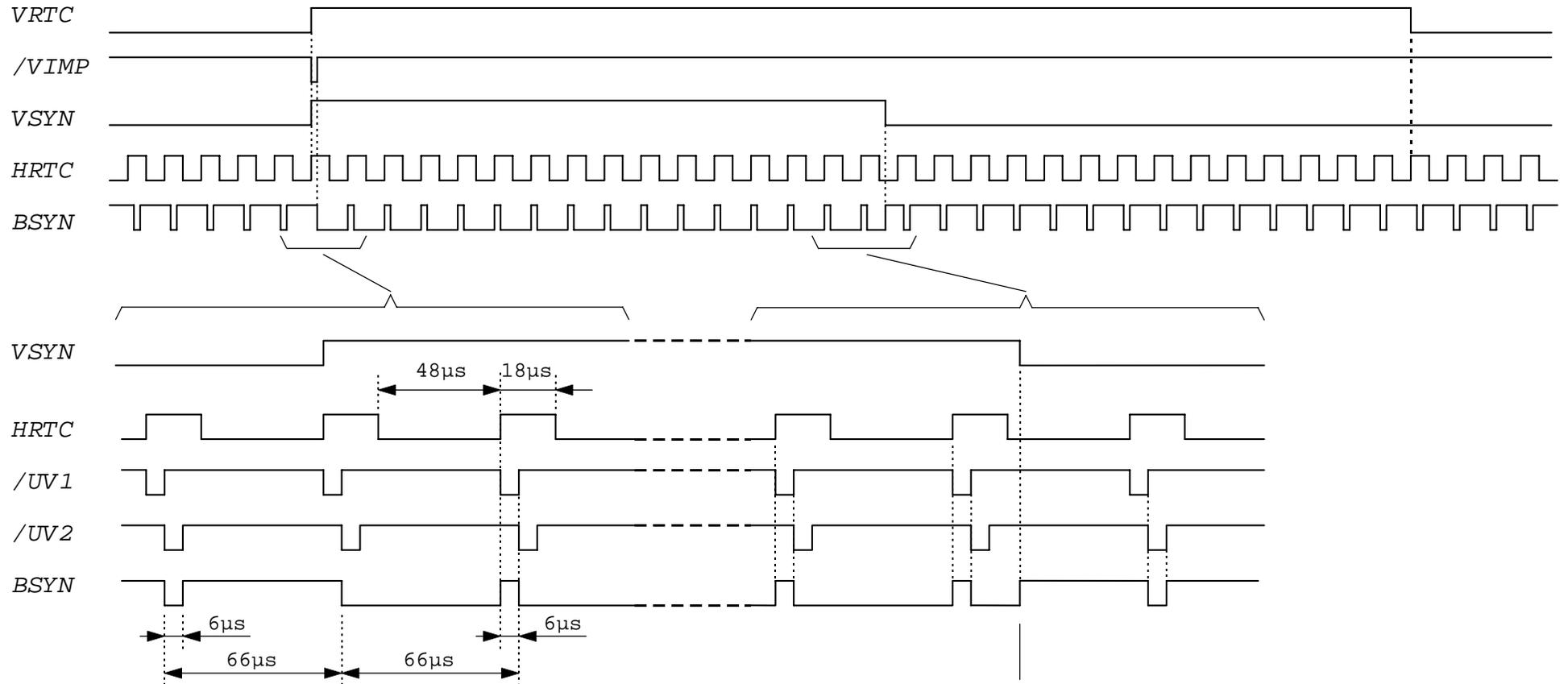


Diagramm 4: VIDEO-Steuerung



- 1 : LA0, LA1, GPA0
- 2 : RW, V5P, LTEN, HLGT
- 3 : RVV*, /VSP*, /LTEN, /HLGT*

Diagramm 5: Erzeugung des Synchronsignals (MON1)



LH-Flanke von BSYN asynchron,
da von M1-Zyklus des U880
abgeleitet (/F3)

Standardmäßig sind auf der ZRE zwischen Zeichengenerator (A25.1/2) und Schieberegister (A18.1/2) 8 Leiterzugbrücken X11:1-11 bis X11.8-18 angeordnet, die bei Bestückung der Grafik-Zusatzeinrichtung aufgetrennt werden müssen.

Die Zusatzeinrichtung besteht aus den 7 Gatterschaltkreisen A12, A19, A20, A21, 1-4. Die Funktion ist aus dem Stromlaufplan "Quasi-Grafik" zu entnehmen.

An Q39 und Q40 liegen die CRT-Controller-Ausgangssignale LA0, LA1 an. Liegt auf LA0 oder LA1 oder auf beiden Leitungen H-Pegel an, werden über die NOR-Gatter von A12 die NAND-Gatter A21.3 und A21.4 (ZG-Ausgänge) gesperrt (A19, A21.1, A21.2), dessen Ausgänge D0-D7 mit den SR-Eingängen verbunden sind, kann auf D0-D7 H-Pegel und damit Hellsteuerung erreicht werden, und zwar in folgender Zuordnung:

LA0=H, LA1=L: D3=H (senkrechter Strich)

LA0=L, LA1=H: D0-D3=H (rechte Hälfte des waagrechten Striches)

LA0=H, LA1=H: D3-D7=H (linke Hälfte des waagerechten Striches).

Der durchgehende waagerechte Strich wird durch LTEN=H erzeugt, das Sperren der ZG-Ausgänge bei LA0=L, LA1=L durch VSP=H (/VSP*=L an A16, also nach dem Ausgang des SR).

1.2.8. Schnittstelle für serielle Datenübertragung

1.2.8.1. Verwendung

Die Anschlußsteuerung übernimmt die Anpassung des parallel arbeitenden Systembusses an die serielle Schnittstelle entsprechend ESER-Standard für S2 bzw. TGL 29077/01 (CCITT - V.24). Die Schnittstelle bzw. das Gerät stellt eine Datenendstelle (DEE) dar, die über Datenübertragungseinrichtungen (DÜE) mit fernaufgestellten DEE oder mit nahaufgestellten DEE direkt verbunden werden können.

1.2.8.2. Technische Daten

Steckverbinder: Steckerleiste 103-13 (13pol.) TGL 29331/04

Betriebsweisen: duplex, halbduplex

Gleichlaufverfahren: synchron, asynchron

Übertragungsgeschwindigkeit: 200, 300, 600, 1200, 2400, 4800, 9600 Bd.

(wird programmtechnisch bei der Generierung des Betriebssystems festgelegt)

Zeichenformat: 5...8 Bits/Zeichen

Stopbitlänge: 1, 1½, 2 Bits

Paritätsprüfung: ohne, gerade, ungerade

Hier fehlen noch viele Seiten bis Seite 101

2.0. Serviceempfehlung

Ein Geräteausfall kann in zwei Etappen behoben werden.

In der ersten Etappe werden defekte Baugruppen beim Anwender mittels bestimmter Testprogramme festgestellt und komplett ausgewechselt.

In der zweiten Etappe erfolgt die Instandsetzung der defekten Baugruppen in einer speziell ausgerüsteten Werkstatt.

2.1. Meß- und Prüfmittel

Aufgrund der vom Hersteller vorgesehenen Servicestrategie benötigt der Servicetechniker keine erzeugnisspezifischen Meß- und Prüfmittel.

Zu seiner Ausrüstung müssen gehören:

- Vielfachmesser
- diverse Mechanikerwerkzeuge
- Prüfprogramme auf Diskette

Für die werkstattmäßige Instandsetzung werden folgende handelsübliche Meß- und Prüfmittel benötigt:

- Zweistrahloszillograf EO 213
- Vielfachmesser
- Digitalvoltmeter
- Signaturanalysator 31020
- Trennstelltrafo 0...250 V
- Logikprüfstift P 3000.03
- Logikprüfstift/Stromprüfstift
- Aus- und Einlöteinrichtungen

Für die Werkstatt wird eine Muttermaschine empfohlen.

An typengebundenen Meß- und Prüfmitteln steht folgendes bereit:

- Koppeleinheit 20-330-0106-8
- Prüflast 30-330-7800-8
- universelles Prüfprogramm
- Adapterkabel (Prüflast-Netzteil) 22-910-3990-4
- Adapterkabel (StE1 - NT) 10-330-6096-6
- Adapterkabel (StE1 - StE2) 14-330-6009-2
- Adapterkabel (StE2 - MFS) 12-910-4020-6
- Adapterkabel (StE1 - StE3) 14-330-6009-2
- Signaturanalyseprogramme
- CE-Einstelldiskette

Einstellehre (Axialspiel-Schrittmotor) x 470080836130000

Zentriervorrichtung x 470010836130000

Fühldrähte 1 Satz x 651150836130000

Einstellehre (Magnetkopf 2,5 mm) x 651060836130000

Fühllehre (1,3 und 0,8 mm) x 651140836130000

Fühllehre (0,05 mm Spur 0-Anschlag) x 651100836130000

Spezialmaulschlüssel x 170100836130000

Inbetriebnahmegerät für 5,25-Zoll-
und 8-Zoll-Laufwerke

x 761020836130000

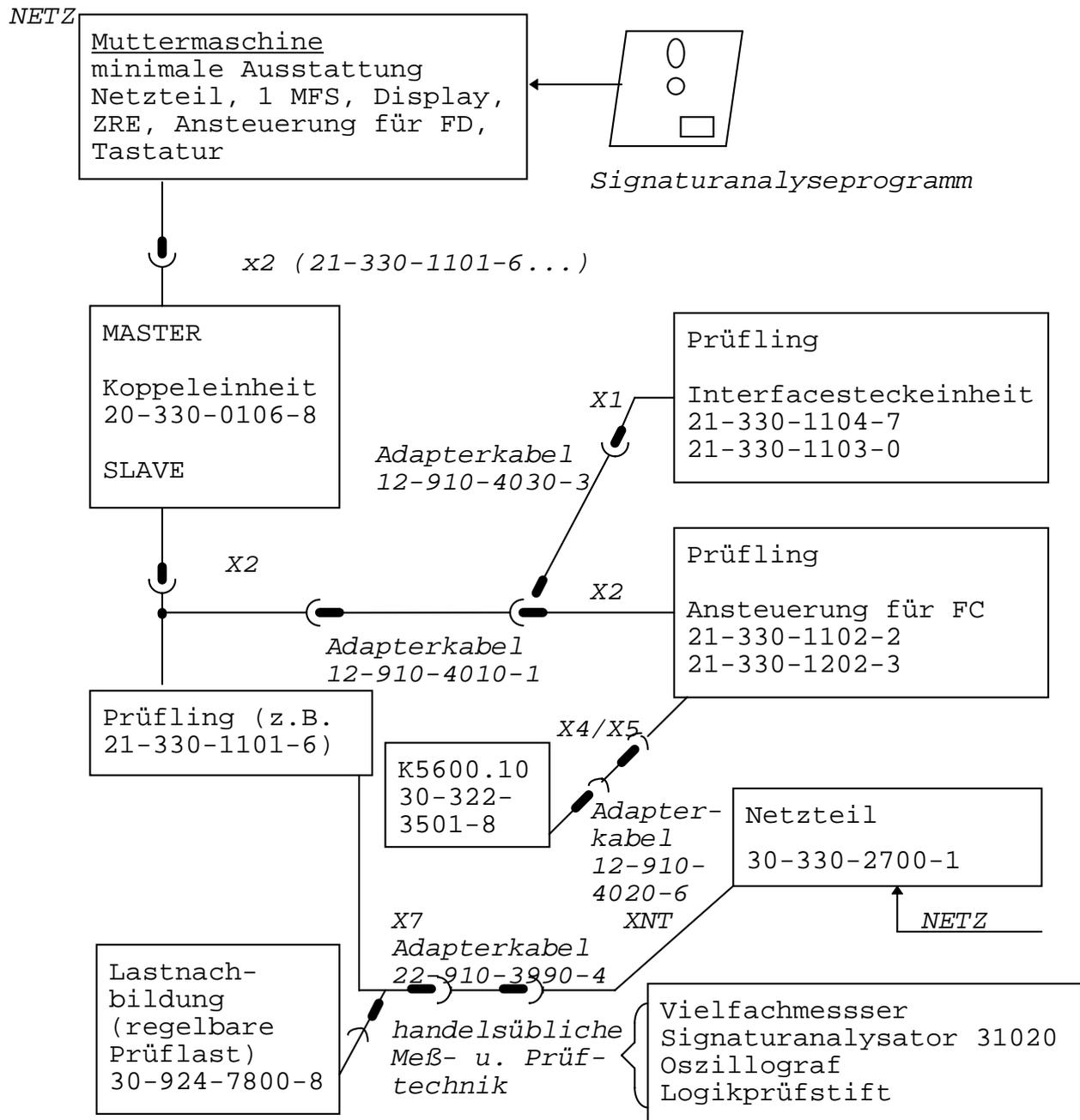
Verbindungskabel 26-polig

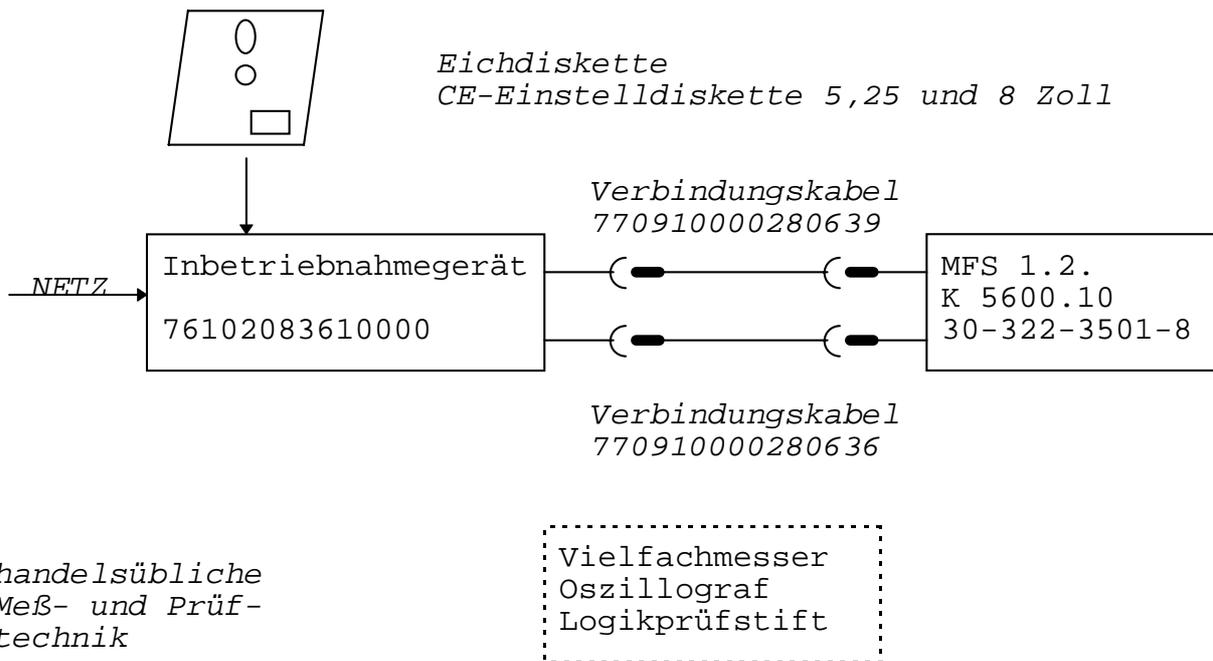
x 770910000280639

Verbindungsleitung 1-polig

x 770910000280736

2.1.1. Verwendungsmöglichkeit der erzeugnisspezifischen Meß- und Prüfmittel





2.1.1.1. Koppereinheit

Die Koppereinheit kommt zum Einsatz in Werkstätten im Rahmen der Instandsetzung für Steckeinheiten.

Sie wird mit der mit „MASTER“ gekennzeichneten Anschlußstelle an den Systembus der „Muttermaschine“ angekoppelt.

An die mit „SLAVE“ gekennzeichnete Steckerleiste wird der Prüfling in Form der Steckeinheit ZRE oder FD-Ansteuerung angeschlossen.

Über die „Muttermaschine“ erfolgt das Einlesen der entsprechenden Testprogramme. die Koppereinheit bereitet dann die Daten so auf, daß mit dem Signaturanalysegerät bzw. mit dem Oszillografen entsprechende Messungen vorgenommen werden können.

2.1.1.2. Adapterkabel

Die Adapterkabel können entsprechend Punkt 2.1.1. eingesetzt werden. Sie ermöglichen eine räumliche Trennung der Baugruppen und verbessern durch ihre Flexibilität das Messen mit handels- oder erzeugnispezifischer Meßtechnik.

2.1.1.3. Inbetriebnahmegerät Floppy-Disk-Laufwerke

Das Gerät dient zur Inbetriebnahme und Überprüfung der 5,25-Zoll-Diskettenlaufwerke sowie von 8-Zoll-Laufwerken.

Mit dem Inbetriebnahmegerät ist es u.a. möglich, Drehzahl und Prüftaktmessungen vorzunehmen.

Zum Reparaturarbeitsplatz gehören neben dem Inbetriebnahmegerät die entsprechenden Verbindungsleitungen, ein Oszillograf und die Einstelldiskette.

2.1.1.4. Regelbare Prüflast (Lastnachbildung)

Die regelbare Prüflast gehört zur Ausrüstung einer Werkstatt, in der Netzteile des 1715 repariert werden sollen. Diese Gerät wird mittels Adapterkabel am Netzteilaustritt angeschlossen. Damit ist die Möglichkeit gegeben, das zu untersuchende Netzteil optimal einzustellen.

2.2. Hinweise zur Fehlersuche

2.2.1. Allgemeines

Die Fehlersuche sollte bei der Kontrolle der Eingangsbedingungen (z.B. Netzspannung) begonnen werden. Es wird deshalb empfohlen, daß neben der Netzspannungskontrolle, der Sitz der Steckverbinder und die von außen zugänglichen Primärsicherungen überprüft werden.

In das allgemeine Konzept der Überprüfung sind auch das Zubehör und die Datenträger einzubeziehen.

Zum Zwecke der Fehlerbeseitigung sind geeignete Werkzeuge und Prüfgeräte zu verwenden, die Beschädigungen von Baugruppen und Einzelteilen ausschließen und Verletzungsgefahren vermieden werden.

2.2.2. Elektronische Fehler

Mittels vorhandener Testprogramme erfolgt die Grobfehlerortung. Entsprechend der Gerätereaktion sind die als defekt bewerteten Baugruppen am Einsatzort des Gerätes zu wechseln.

Die genaue Fehlerortung erfolgt dann mit speziellen Meß- und Prüfmitteln.

2.3. Baugruppentausch

2.3.1. Baugruppenaustausch an der Systemeinheit

Beim Baugruppenaustausch ist generell das Gerät auszuschalten. Das Auswechseln von Baugruppen darf nur in spannungslosem Zustand erfolgen.

2.3.1.1. Öffnen der Verkleidung

- Öffnen der Verkleidung
- Lösen der Kabelverbindungen (Netz, Display und zur ZRE)
- Lösen von drei Schlitzschrauben im Deckel des Netzteilgehäuses
- Netzteil hinten leicht ankippen und herausheben
- Einbau erfolgt in umgekehrter Reihenfolge

2.3.1.2.1. Austausch der Steckeinheiten im Netzteil

- Entfernen des Gehäusedeckels des rechten Seitenteils durch das Lösen von zwei Schlitzschrauben M3, Gehäusedeckel.
- Die senkrecht stehende Steckeinheit (21-330-2799-5) ist von der Grundplatte zu lösen, indem ein Schraubenzieher abwechselnd unter die beiden Steckerbuchsen gesteckt wird. Durch das Drehen des Schraubenziehers wird die Kontaktierung aufgehoben und die Steckeinheit kann nach oben abgenommen werden.
- Die Grundsteckeinheit 21-330-2798-7 läßt sich nach dem Lösen von zwei M3-Schlitzschrauben sowie nach der Entfernung von drei Steckverbindern, dem Aushaken des Kabelbaums aus der linken Seitenwand, entfernen.

2.3.1.3. Austausch Floppy-Disk

- Öffnen der Verkleidung
- Die rechts und links neben den Laufwerken in der Mitte angebrachten geschlitzten Rändelschrauben sind herauszuschrauben.
- Anschlußstecker Laufwerk - Steckeinheit Floppy-Ansteuerung (21-330-1202-3) lösen.
- Laufwerke nach oben herausnehmen
- Laufwerke auf Arbeitstisch so ablegen, daß die Laufwerksaufnahme nach oben zeigt.

Jetzt werden 6 Stück M3-Schlitzschrauben sichtbar. Löst man diese (3 Stück pro Laufwerk), so können die Laufwerke abgehoben werden.

Der Wiedereinbau erfolgt in umgekehrter Reihenfolge.

2.3.1.4. Austausch der Steckeinheit Floppy-Disk-Steuerung (21-330-1202-3)

- Öffnen der Verkleidung

Die Steckverbindungen zu den Laufwerken sind zu lösen:

Die Stützschrauben (Sechskantschrauben) sind zu entfernen (Schraubenzieher, Steckschlüssel 5,5 mm).

Nach dem Abschrauben der Masseverbindungen wird die Steckeinheit an der Seite, an der das Netzteil liegt, nach oben gedrückt, um den Kontakt zur Steckeinheit ZRE zu lösen.

2.3.1.5. Austausch der Steckeinheit ZRE (20-330-1104-4 ... 21-331-1131-5)

Voraussetzung zum Austausch der ZRE Steckeinheit ist das Öffnen der Verkleidung, die Demontage der Floppy-Disk-Laufwerke und der Steckeinheit zur Ansteuerung der Floppy-Disk. Danach werden die Masseverbindungen (Steckverbindungen) gelöst. Die Stütz- und Befestigungsschrauben werden entfernt (Schraubenzieher, Steckschlüssel 5,5 mm).

Nun kann die Steckeinheit herausgezogen werden.

2.3.2. Baugruppenaustausch am Display 7221.25/7222.25

2.3.2.1. Sicherheitsmaßnahmen

Sicherheitsmaßnahmen sind am Display in zweierlei Hinsicht zu beachten:

- gefährliche Hochspannungen bis zu 12 kV im Gerät
- Implosionsgefahr des Bildschirmes

Geschlossene Geräte werden gefahrlos betrieben, wobei allerdings Schläge mit harten Gegenständen sowie Kratzer auf dem Bildschirm ausgeschlossen werden müssen. Der Bildschirm ist implosionsgeschützt. Bei ordnungsgemäßer Handhabung des Sichtgerätes und des Bildschirmes tritt keine Implosion auf.

Das Betreiben des geöffneten Gerätes durch technisches Personal hat unter Beachtung der vorhandenen Hochspannungen zu erfolgen. Es ist zu gewährleisten, daß der Außenbelag des Bildschirmes über das Masseband einwandfrei mit der allgemeinen Masse des Displays verbunden ist. Messungen der Hochspannung sind nur mit ordnungsgemäßen Hochspannungsmeßgeräten, die einwandfrei geeicht sein müssen, auszuführen. Dabei sind die Bedienungsanleitungen dieser Meßgeräte einzuhalten. Das Abziehen des Anodenanschlusses des Bildschirmes darf nur bei ausgeschaltetem Gerät erfolgen. Zwischen dem Ausschalten des Gerätes und dem Abziehen des Anodensteckers ist mindestens eine Minute zu warten. Bei Bildschirmen, die ausgebaut werden sollen, ist die vollkommene Entladung der Bildschirmanode herbeizuführen, indem die Anode über einen Widerstand von ca. 1 kOhm für mind. 10 Sekunden mit Masse zu verbinden ist.

2.3.2.2. Abnehmen der Verkleidungen

2.3.2.2.1. Abnehmen der Verkleidung am K 7221.25

- Display mit der Bildfläche auf eine Weiche Unterlage legen.
- gewölbtes Verkleidungsblech in der vorderen Fußhälfte entfernen. Beim leichten Auseinanderdrücken läßt sich das Blech aushaken.
- Regelknopf für Helligkeit abziehen.
- Befestigungsschrauben M3, die nach dem Aushaken des Verkleidungsbleches sichtbar werden, herausdrehen.
- Kappe am Durchbruch des Gehäuses zur Kabeldurchführung abschrauben.
- Abziehen des Gehäuses nach oben.
- Unverkleidetes Display auf Führungsschienen abstellen.

2.3.2.2.2. Abnehmen der Verkleidung am K 7222.25

- An der Rückseite die 4 Schrauben lösen und die Rückwand (Blende hinten) abnehmen.
- Obere Gehäusehälfte etwa 1 cm nach hinten schieben und nach oben abheben.
- 2 Schrauben am Chassis des Einschubes lösen und Chassis nach vorn herausziehen (A).

Im weiteren sind diese Arbeitsgänge nicht mehr beschrieben. Sie sind im Bedarfsfall den nachfolgenden Erläuterungen voranzustellen.

Die folgenden Erklärungen gelten für beide Displaygrößen.

2.3.2.2.3. Wechsel des Bildschirmes

Befestigungsschrauben der beiden seitlichen Leiterplatten lösen und Platten herausschwenken.

Auf Leiterplatte (1.12.516791.0)/(012-6931) Buchse (X5)/(X2) zur Ablenkeinheit und auf der Leiterplatte 012-6921 Buchsen X3, X6 zum Helligkeitsverstärker ziehen.

Kabel zum Bildschirmbelag aushängen und Helltastverstärker vom Bildschirmsockel abziehen.

Klemmung der Ablenkeinheit lösen und Ablenkeinheit vom Bildschirmhals ziehen.

Anodenstecker von dem Bildschirm abziehen (siehe Abschnitt 2)

4 Kontermuttern der Bildschirmbefestigung am Rahmen lösen und Bildschirm auf weicher Unterlage auf der Schirmfläche ablegen.

2 Zugfedern aushängen und die Massebänder abnehmen.

Bildschirmeinbau:

Der Einbau erfolgt in umgekehrter Reihenfolge. Dabei ist folgendes zu beachten:

Bildschirmbefestigungen mit den Isolierteilen versehen, Bildschirm auf Schrauben aufstecken. Erste Mutter anziehen, bis Isolierstück auf dem Rahmen aufsitzt, Kontermutter festziehen.

2.3.2.2.4. Wechsel der Ablenkeinheit

- Befestigungsschrauben der beiden seitlichen Steckeinheiten lösen und Platten herausschwenken.
- Auf Steckeinheit (012-6931) Buchse X2 zur Ablenkeinheit und auf der Steckeinheit (012-6921) Buchsen X3, X6 zum Hell- tastverstärker ziehen.
- Kabel zum Bildschirmbelag aushängen und Helltastverstärker vom Bildschirmsockel abziehen.
- Der Einbau erfolgt in umgekehrter Reihenfolge.

2.3.2.2.5. Wechsel der Ablenleiterplatte

- Lösen der Befestigungsschraube und Herausschwenken der Steckeinheit.
- Abziehen der Stecker von der Steckeinheit.
- Abziehen des Anodenanschlusses vom Bildschirm.
- Aushängen der Steckeinheit am Scharnier.
- Der Einbau erfolgt in umgekehrter Reihenfolge

2.3.2.2.6. Wechsel der Verteilerplatte

- Lösen der Befestigungsschraube und Herausziehen der Steckeinheit.
- Abziehen der Stecker von der Verteilerplatte.
- Lösen der Klemmverbindung für Stromversorgungs- und Informationskabel.
- Lösen der Schraube und Aushängen der Steckeinheit.
- In umgekehrter Reihenfolge wieder einbauen.

2.3.2.2.7. Wechsel des Helltastverstärkers

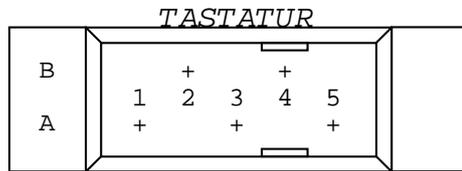
- Auf der Verteilerplatte (012-6921) Stecker (X4,X5) (X3,X6) zum Helltastverstärker ziehen.
- Kabel zum Röhrenbelag aushängen.
- Helltastverstärker vom Röhrenhals abziehen.
- Kabel am Helltastverstärker ablöten.
- In umgekehrter Reihenfolge wieder einbauen.

2.3.2.2.8. Wechsel des Helligkeitsreglers

- Stecker X1 auf der Verteilerplatte ziehen.
- Mutter des Reglers lösen und Regler herausnehmen.
- In umgekehrter Reihenfolge wieder einbauen.

X3: Tastatur

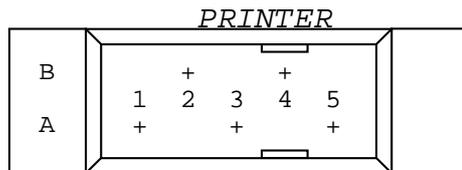
A	Anschluß	B
TA-TAKT	1	
	2	5P
0v	3	
	4	TA-DATEN
Schirm	5	



X3 (STE 1101)

X4: Drucker

A	Anschluß	B
Ltg. 102	1	
	2	Ltg. 103
Ltg. 106	3	
	4	
Schirm	5	

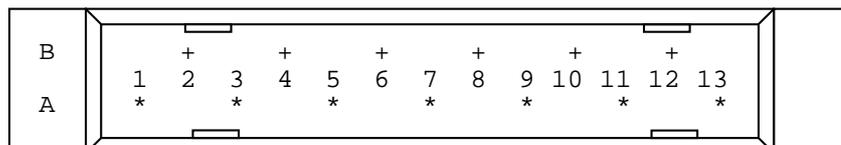


X4 (STE 1101)

X2/X3/X5: V.24

A	Anschluß	B
Ltg. 102	1	
	2	Schirm
Ltg. 103	3	
	4	Ltg. 104
Ltg. 105	5	
	6	Ltg. 106
Ltg. 107	7	
	8	Ltg. 108
Ltg. 109	9	
	10	Ltg. 111
Ltg. 113	11	
	12	Ltg. 114
Ltg. 115	13	

V24



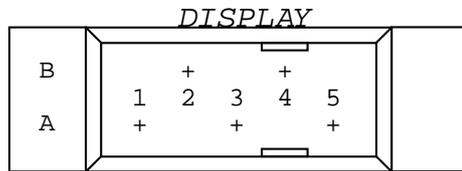
X2 (STE 1101) KANAL B

X5 (STE 1103)

34 (STE 1101) KANAL A

X6: Display-Anschluß

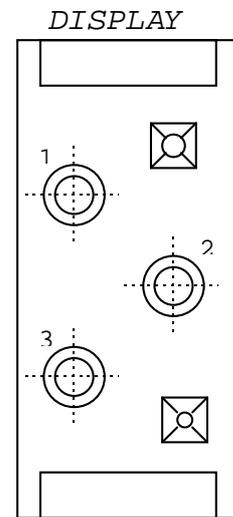
A	Anschluß	B
INTENS	1	0 V
	2	
BSYN	3	Schirm
	4	
VIDEO	5	



X6 (STE 1101)

X MONU: Betriebsspannungen Display

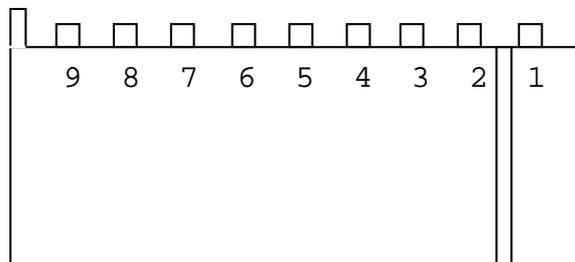
Anschluß	Spannung
1	0 V
2	12 PM
3	Schirm, SL



X MONU Netzteil
(DISPLAY Betriebsspg.)

X7: Netzspannungen (XNT)

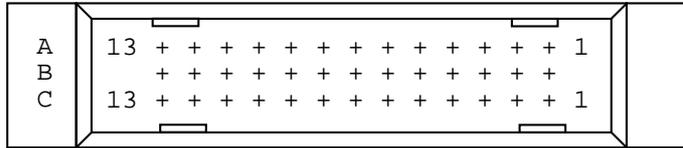
Anschluß	SPANNUNG
1	5N
2	12N
3	12P
4	12P
5	5P
6	5P
7	0V
8	0V
9	0V



Netzteil

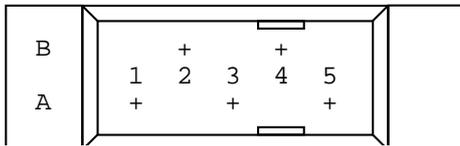
Steckerbelegung robotron 1715

X7: Netzspannungen (XNT)



	A	B	C
1	0V	0V	0V
2	/MO3	0V	/MO2
3	/MO1	0V	/MO0
4	/RDY	0V	/HL
5	/T0	0V	/SE1
6	/WP	0V	/ST
7	/FW	0V	/LCK1
8	/RD	0V	/WD
9	/IX	0V	/WE
10	/FR	5P	/SD
11	/SE0	/RESET	/SE2
12	/LCK0	5N	/SE3
13	Schirm	/LCK3	/LCK2

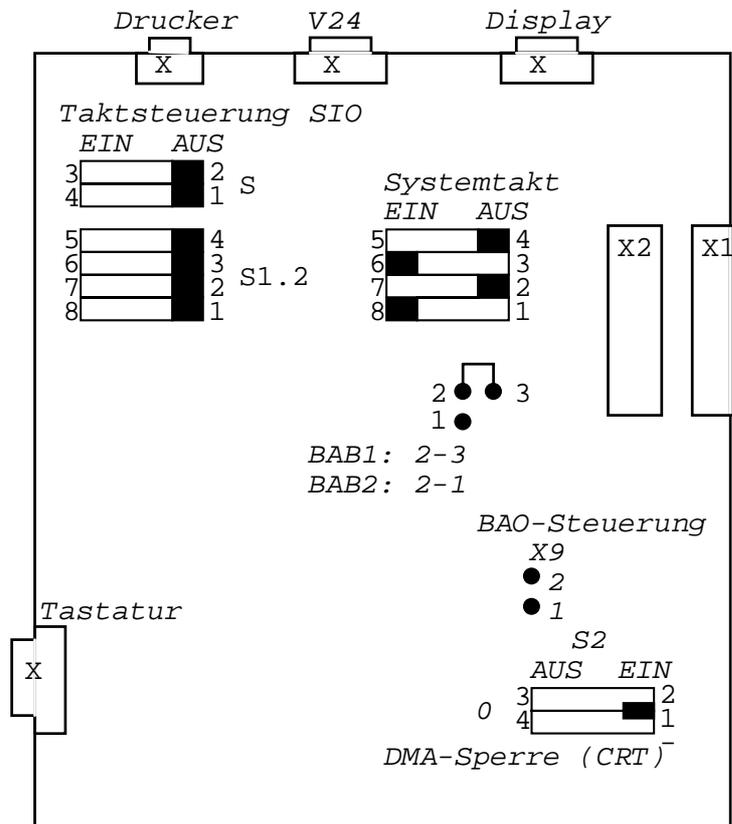
IFSS



A	B
SD-	1
	2
ED+	3
	4
Schirm	5
	ED-

X2 (STE 1104) KANAL B
X3 (STE 1104) KANAL A

3.2. Schnittstellenstecker ud Einstellregler



Taktvarianten V24 (S1.2, S2.2)

Steuerung durch	RXTXCB		S1:2		S2:2		
	Ltg. 105	Sendetkt	Empfangstakt	1-8	2-7	3-6	1-4
-	Ltg. 114	Ltg. 114	-	+	+	-	+
-	Ltg. 113	Ltg. 113	-	+	+	+	-
X	Ltg. 114	Ltg. 115	+	-	+	-	+
X	Ltg. 113	Ltg. 115	+	-	+	+	-
-	Ltg. 115	Ltg. 115	-	-	-	-	-
-	ZC/102	ZC/102	-	+	-	-	-
-	ZC/101	ZC/101	-	-	-	-	-
X	ZC/102	ZC/101	-	-	-	-	-

+ = Schalter geschlossen - = Schalter geöffnet

Systemtakt (S1.1):

Systemtakt	S1.1			
	1-8	2-7	3-6	4-5
eigene Erzeugung	+	-	+	-
Fremderzeugung	-	+	-	+

DMA-Zugriff (S2):

DMA-Zugriff	S2
Ein	Ein
Aus	Aus

4. Vergleichsliste

Das Basisschaltkreissortimet des **robotron 1715** bildet das Mikrorechnersystem UB880D (Q300) mit seinen Peripherieschaltkreisen UB855D (Q301), UB856D (Q304), UB857D (Q302).

Als Speicherschaltkreise kommen zum Einsatz:

U555C - 1K x 8 EPROM
 U556C - 2K x 8 EPROM
 K565RU3 - 16K x 1 DRAM

Die Bildschirmsteuerung erfolgt über den CRT-Controller KR580WG75. Weitere bipolare und analoge Schaltkreise zur Realisierung logischer Netzwerke und der Interfacesteuerung sind der nachfolgenden Schaltkreisübersicht zu entnehmen.

4.1. Schaltkreisübersicht

Allg. Bez.	DDR-Typ	SU-Typ	SW-Typ	NSW-Typ	Funktion
T00	D100D	K155LA3	MH7400	SN7400	4x 2fach-NAND
T103	D103D		MH7403	SN7403	4x 2fach-NAND o.c.
T104	D104D	K155LN1	MH7404	SN7404	6x Inverter
T106			7406PC	SN7406	6x Inverter o.c.
T108	D108D	K155LI1	7408PC	SN7408	4x 2fach-AND
T130	D130D	K155LA2	MH7430	SN7430	1x 8fach-NAND
T151	D151D		MH7451	SN7451	2x 2fach-AND/NOR
T174	D174D	K155TM2	MH7474	SN7474	2x D-Flipflop
T195	D195D	K155IR1		SN7495	4-bit-Schiebereg.
M192	D192D	K155IE6	MH74192	SN74192	V/R-Dezimalzähler
M193	D193D	K155IE7	MH74193	SN74193	V/R-Binärzähler
M151		K155KP7	MH74151	SN74151	8-Kanal-Multiplexer
M121	D121D	K155AG1	74121PC	SN74121	Monostabiler MV
M123		K155AG3	74123PC	SN74123	2x retriggerb. MV
M153		K155KP2	74153PC	SN74153	2fach-4:1-Multipl.
T200	D200D			SN74H00	4x 2fach-NAND
T201	D201D			SN74H01	4x 2fach-NOR
T240	D240D			SN74H40	2x 4fach-LeistungS-NAND
T251	D251D			SN74H51	2x 2fach AND/NOR
T500	DL000			SN74LS00	4x 2fach-NAND
T502	DL002			SN74LS02	4x 2fach-NOR
T593	DL093			SN74LS93	4-bit-Binärzähler
K112	DL112			SN74LS112	2x JK-Flipflop
K175	DL175D	K155TM8		SN74LS175	4x D-Flipflop getaktet
U205	DS8205D		MH3205	I8205	1 aus 8-Binärdekoder
U216	DS8216	K589IK16	MH3216	I8216	4fach-Bustreiber
U282	DS8282D			I8282	8fach-Latch
U286	DS8286D			I8286	8fach-Bustreiber
P107			75107PC	SN75107	2fach-Leitungsempfänger

<i>Allg. Bez.</i>	<i>DDR-Typ</i>	<i>SU-Typ</i>	<i>SW-Typ</i>	<i>NSW-Typ</i>	<i>Funktion</i>
P150		K170AP2		SN75150	2fach-Leitungstreib.
P154		K170UP2		SN75154	4fach-Leitungstreib.
P450		K155LP7		SN75450	Peripherietreiber
T300		K531LA3		SN74S00	4x 2fach-NAND
N112		K531TV9		SN74S112	2x JK-Flipflop
T374		K531TM2	MH74S74	SN74S74	2x D-Flipflop
N257		K531KP11		SN74S257	4x 2:1-Selekt./ Multiplexer
T386		K531LP5		SN74S86	4x Ex-OR
T320			MH74S20	SN74S20	2x 4fach-NAND
T337			MH74S37	SN74S37	4x 2fach-Leistungs- NAND
	A302D			TCA345A	Schmitt-Trigger
	B611D			TCA311A	Operationsverstärker
	B621D			TCA321A	Operationsverstärker
			MA7805	7805	Festspannungs- stabilisator
			MA7812	7812	Festspannungs- stabilisator
			MAA723H	µA723	Spannungssta- bilisator
			MAA741C	SN72741	Operationsverstärker
	B260D			TDA1060	Schaltnetzteilrgler
			MB1048	CNY17	Optokoppler
Q300	UB880D			Z80-CPU	CPU
Q301	UB855D			Z80-PIO	PIO
Q304	UB8560D			Z80-SIO/0	SIO
Q302	UB857D			Z80-CTC	CTC
	U555C	K573RF1		2708	1Kx8-EPROM
	U556C	K573RF2		2716	2Kx8-EPROM
Q280		K565RU3A		MC4116P-3	16K-DRAM
		KR580WG75		8275	CRT-Controller

5. Pin-Belegung der wichtigsten Bauelemente

D100

D200

D201 (offener Kollektor)

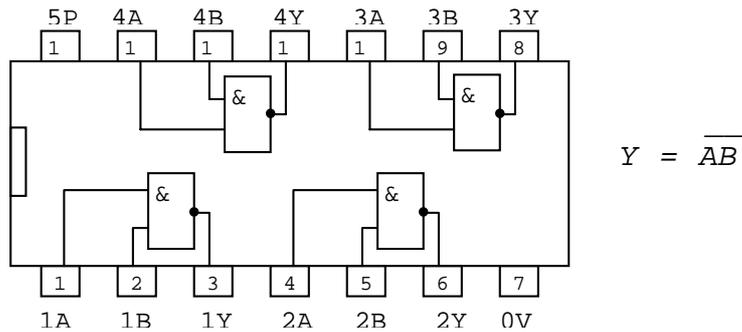
D103 (offener Kollektor)

K531LA3 (Schottky)

74S37 (Schottky-Leistungsgatter)

DL000 (Low-Power-Schottky)

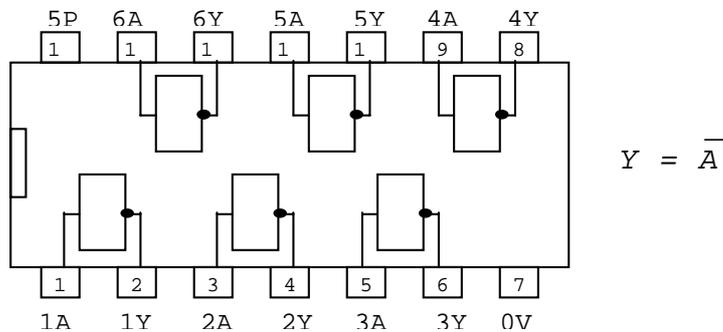
2-Eingangs-NAND, vierfach



D204

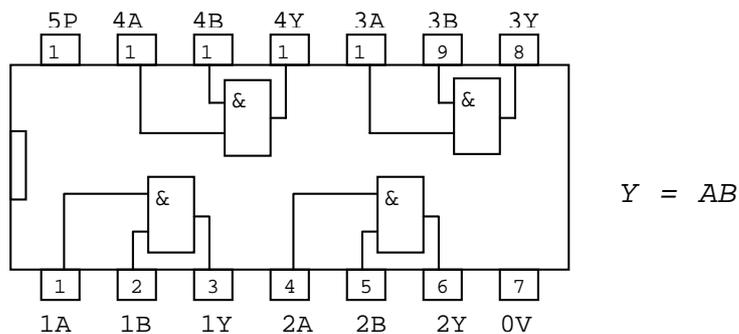
7406PC (offener Kollektor)

Inverter (sechsfach)



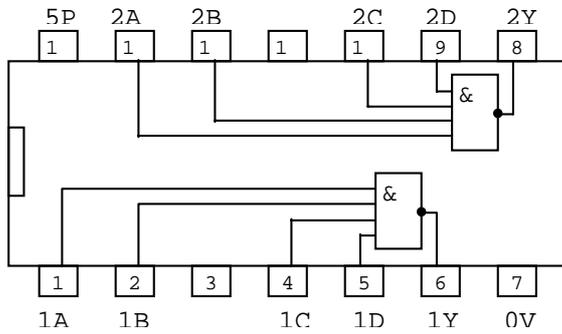
D108

2-Eingangs-AND, vierfach



D240 (Leistungsgatter)
 MH74S20 (Schottky)

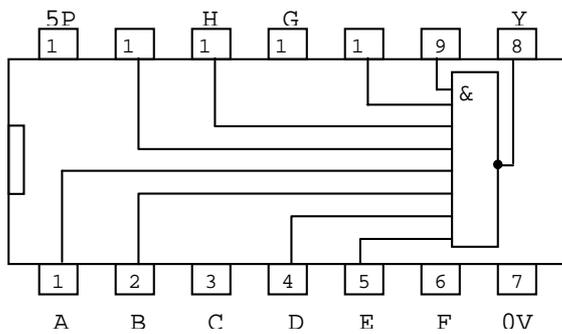
4-Eingangs-NAND, zweifach



$$Y = \overline{ABCD}$$

D130

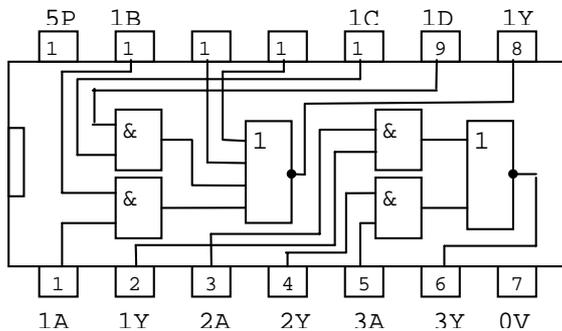
8-Eingangs-NAND



$$Y = \overline{ABCDEFGH}$$

D151
 D251

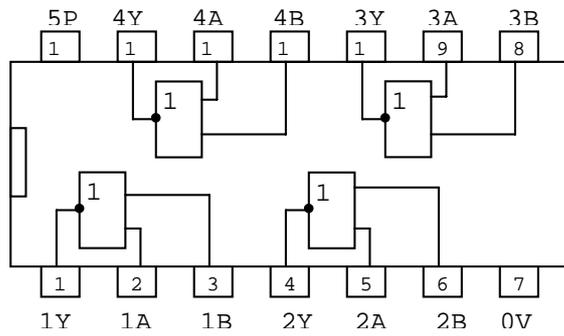
2x2-Eingangs-AND-NOR-Gatter



$$Y = \overline{AB + CD}$$

DL002

2-Eingangs-NOR-Gatter

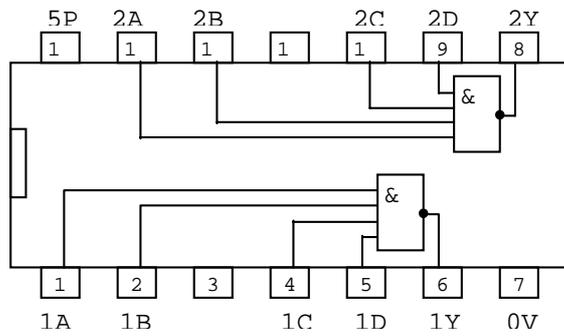


$$Y = \overline{A + B}$$

D174

K531TM2 (Schottky)

D-Flipflop 2fach



Hier fehlen noch viele Seiten bis Seite 165

7. Wartungsvorschrift

7.1. Wartung des Displays

7.1.1. Allgemeine Hinweise und Sicherheitsmaßnahmen

Beim Eingreifen in das Display im Wartungs- und Reparaturfall sind folgende Sicherheitsmaßnahmen zu beachten:

Sicherheitsmaßnahmen sind am Display in zweierlei Hinsicht zu beachten:

- gefährliche Hochspannung bis zu 10 kV im Gerät
- Implosionsgefahr der Bildröhre

Geschlossene Geräte werden gefahrlos betrieben, wobei allerdings Schläge mit harten Gegenständen sowie Kratzer auf der Frontscheibe der Bildröhre ausgeschlossen werden müssen. Die Bildröhre zählt zur Gruppe der implosionsgeschützten Bildröhren. Bei ordnungsgemäßer Handhabung des Sichtgerätes und der Bildröhre tritt keine Implosion auf.

Bei geöffnetem Gerät sind alle Schlag- und Stoßbelastungen des Bildröhrenhalses, der Ablenkeinheit und des Videoverstärkers auszuschließen.

Das Betreiben des geöffneten Gerätes durch technisches Personal hat unter Beachtung der vorhandenen Hochspannung zu erfolgen. Es ist zu gewährleisten, daß der Außenbelag der Bildröhre über das Masseband einwandfrei mit der allgemeinen Masse des Displays verbunden ist. Messungen der Hochspannung sind nur mit ordnungsgemäßen Hochspannungsmeßgeräten, die einwandfrei geerdet sein müssen, auszuführen. Dabei sind die Bedienungsanleitungen dieser Meßgeräte einzuhalten. Das Abziehen des Anodenanschlusses der Bildröhre darf nur bei ausgeschaltetem Gerät erfolgen. Zwischen Ausschalten des Gerätes und Abziehen des Anodensteckers ist mind. 1 Minute zu warten. Bei Bildröhren, die ausgebaut werden sollen, ist die vollkommene Entladung der Bildröhrenanode herbeizuführen, indem die Anode über einen Widerstand von 1 kOhm für mind. 10 s mit Masse zu verbinden ist.

Bei folgenden Erscheinungen ist der Monitor schnellstens auszuschalten, um Folgefehler zu vermeiden:

- knisternde oder knallartige Hochspannungsüberschläge im Inneren des Monitors
- Zusammenbrechen des Schirmbildes auf einen hellen waagerechten oder senkrechten Strich oder Punkt

Entsprechend den konkreten Bedingungen am Einsatzort ist mindestens jährlich eine innere Reinigung des Displays vorzunehmen. Dabei sind besonders die Isolieroberfläche um den Anodenanschluß der Bildröhre und die Überschlagsfunkenstrecke auf der Hellastverstärkerplatte zu säubern.

7.2. *Wartung der Floppy-Disk-Laufwerke*

7.2.1. *Allgemeine Hinweise*

Die *Wartung der FD-Laufwerke* ist Bestandteil der vorbeugenden Instandhaltung. Durch planmäßige Überwachung der Einstellwerte und Gerätefunktionen werden Toleranzüberschreitungen, Drifterscheinungen und Funktionsstörungen früh erkannt und können behoben werden. Alle *Wartungsarbeiten* an den Laufwerken dürfen nur von Technikern ausgeführt werden, welche eine entsprechende Befähigung besitzen.

Die laufenden *Wartungen* sind nach dem vorgeschriebenen *Wartungszyklus* (Tabelle 1) durchzuführen.

Die erste *Wartung* erfolgt generell vorbeugend bei *Aufstellung* des Gerätes beim Kunden (*Arbeitsgänge 1,2,3*).

Kontroll- und Funktionsmaße sind in *Tabelle 2* zusammengefaßt. Alle *Wartungsarbeiten* am mechanischen Laufwerk erfolgen bei abgezogenem Stecker und aufgeklappter *Interface-Leiterplatte* (außer *AG 14*).

7.2.2. *Reinigungs- und Schmierstoffe*

Reinigungsmittel:

A *Alkohol, 95%ig*
 oder *Freon*

Fi *Fitwasser*

Schmiermittel:

SWB423 *Schmierfett*
 SWB 423 TGL 14819/02
 oder
 äquivalente Schmierstoffe
 ausländischer Produktion

Ein *Vermischen* des *Schmiermittels* mit anderen äquivalenten *Schmierstoffen* hat zu unterbleiben. Beim *Wechseln* der *Schmierstoffsorte* muß eine gründliche *Reinigung* der *mechanischen Teile* vorgenommen werden.

7.2.3. *Wartung des mechanischen Laufwerkes*

<i>AG</i>	<i>Sym-</i> <i>bol</i>	<i>durchzuführende Arbeit</i>	<i>Arbeitsmittel</i>
1	A	<i>Reinigung des Magnetkopfes</i> <i>Nach Abheben des Andruckhebels</i> <i>ist die Kopffläche mittels eines</i> <i>in Alkohol getauchten Wattestäb-</i> <i>chens zu säubern. Anschließend</i> <i>wird die Kopffläche mit einem</i> <i>weichen, fusselarmen Tuch trok-</i> <i>kengerieben und nochmals auf Sau-</i> <i>berkeit überprüft. Danach ist der</i> <i>Andruckhebel vorsichtig herabzu-</i> <i>lassen.</i>	<i>Wattestäbchen</i> <i>oder</i> <i>weiches, fussel-</i> <i>armes Tuch</i>

Achtung:

Während der Reinigungsarbeiten darf der Magnetkopf weder mit der bloßen Hand noch mit harten Gegenständen berührt werden.

- 2 A Reinigung der Spindel weiches
Reinigung der Andruckfläche und fusselarmes Tuch
der Zentrierfläche der Antriebs-
spindel mittels eines in Alkohol
getränkten Tuches.
- 3 Reinigung des Andruckfilzes Rei- Pinsel
nigung des Andruckfilzes mittels
eines trockenen weichen Pinsels.
- 4 Austausch des Filzes Pinzette
Sollte der Filz stark abgenutzt Pinsel
oder ungleichmäßig abgenutzt Klebstoff:
sein, muß er ausgetauscht werden. Technokol Rapid
Dazu ist der Andruckhebel anzu-
heben, die Aufnahme kompl. 083-4-
130-123 aus dem Andruckhebel
herauszudrücken und das neue Teil
ist einzudrücken. Der Andruck-
hebel ist langsam zurückzulassen.
Nach diesem Eingriff ist die
Lesespannung zu kontrollieren.
- 5 Reinigung der opt. Signalgeber Pinsel
Beim Reinigen des "Index"- und
"Spur-0"-Sgnalgebers sind die
beiden Elemente (Diode, Transi-
stor) mit weichem Pinsel zu
säubern bzw. auszublasen.
- 6 A Wartung des Diskettenantriebes fusselarmes Tuch
Wattetupfer
Nach Abnehmen des Antriebsriemens
ist die Leichtgängigkeit der
Spindel und des Antriebsmotors zu
kontrollieren.
Die treibende und die getriebene
Scheibe der Antriebes sind mit-
tels eines angefeuchteten Tuches
oder Tupfers zu säubern. Nach
Trocknung - Riemen wieder auf-
legen. Im Bedarfsfall ist auch
der Riemen in der oben genannten
Art zu reinigen.
- 7 Austausch des Riemens
Ein stark gedehnter oder beschä-
digter Riemen ist auszutauschen.
Dazu ist das Magnetkopfkabel an
dem Diskettenberuhigungsturm aus
der Plasthalterung zu nehmen.
- 8 A Diskettenblockierung weiches, fussel-
armes Tuch
Der Kern des Zugmagneten ist mit
Alkohol zu reinigen und anschlie-
ßend zu trocknen.
- 9 A Diskettenführung weiches, fussel-
armes Tuch

- Die Diskettenführungen sind mit einem angefeuchteten Tuch und geeigneten nichtmetallischen Hilfsmitteln zu reinigen.
- 10 Zentrierung 063-5-130-007
Die Funktionsflächen sind auf Beschädigung zu kontrollieren.
- 11 Mikrotaster Federwaage,
Fühllehre
Die Funktion des Mikrotasters ist von Hand zu kontrollieren. Bei Bedarf sind die Schalter auszutauschen.
- 12 Kontrolle der Funktionsmaße Federwaage,
Fühllehre
Überprüfung aller in Tabelle 2 zusammengefaßten Maße. Im Bedarfsfalle Neujustage.
- 13 Fetten von Funktionsteilen Pinsel, fusselfreies
Tuch
- SWB4 23 Alle sich bewegenden mechanischen Teile sind in den Gelenk- und Lagerstellen mit einem Minimum an Fett zu schmieren.
- A Gleitstellen sind vor dem Schmierren zu reinigen. z.B. Wattestäbchen
(Entfernen des alten Schmierstoffes durch angefeuchtete Wattestäbchen oder Lappen.)
Achtung:
Alle mechanischen Teile, die beim Einlegen, Betrieb oder Entnahme des Datenträgers von diesem berührt werden können, sind fettfrei zu halten!
- 14 F1 Reinigung der Verkleidung weiches Tuch
Verkleidungsblende und Griffelement sind mit angefeuchtetem Tuch zu reinigen.

Tabelle 1

Arbeitsgang	Wartungsabstände (Std.)			
	500	1000	2000	10 000
AG 1	x			
AG 2...9, 14, 16		x		
AG 10, 12, 13, 17			x	
AG 11				x

Tabelle 2

Kontrollmaße mechan. Funktionsteile

- Andruckkissen - Turm	1,0 + 0,2 mm
- Magnetklappe - Klappenhalter	0,9 - 0,1 mm
- Magnetkopf - Andruckfilz	mind. 2,5 mm
- Andruckplatte - Andruckhebel	mind. 0,7 mm
- Andruckhebel an Kopfspiegel	0,14 N ... 0,17 N

7.2.3. Wartung und Kontrolle der Elektronik

Die Kontrolle elektronischer Einstellwerte erfolgt zyklisch in vorgegebenen Zeitabständen bzw. nach bestimmten mechanischen Wartungsmaßnahmen. Die Wartungsstände sind der Tabelle 1 zu entnehmen. Für die einzelnen Arbeitsgänge zur Wartung und Kontrolle der Elektronik werden folgende Arbeits- und Meßmittel benötigt:

Arbeits- und Meßmittel

- Einstelldiskette
- Prüfprogramm

AG	Sym- bol	Aufstellung der Arbeitsgänge durchzuführende Arbeit	Arbeits- und Meßmittel
16		Kontrolle Kopf-Schicht-Kontakt Aufzeichnungen von Flußwechseln mit 8µm Abstand auf Spur 39. Die differenzierte Wiedergabespannung (Meßpunkt x 25) muß dabei sichtbare Einsattelungen in den Maxima und Minima der Grundwelle aufweisen. Bemerkung: A 16 folgt nun auf A 4	Prüfprogramm
17		Kontrolle Motordrehzahl Kontrolle der Dauer einer Disketten- umdrehung durch Messen des Abstandes zweier Indexsignale (Buchse am Steu- ergerät). Gegebenenfalls mit Regler 13.1 (Steckeinheit Antriebssteu- erung) auf Nennwert 300 +- 6 1/min nachstellen.	Prüfprogramm
18*		Kontrolle Schrittmotortakt Kontrolle der Taktfrequenz am Meß- punkt x 27. Gegebenenfalls mit Reg- ler 24.1 (Steckeinheit Interface- steuerung) auf Nennwert 20 +- 0,2 kHz nachstellen.	
19*		Überprüfung der Spurtreue Die Überprüfung der Spurtreue erfolgt mittels Einstelldiskette und Oszillograf.	Einstelldiske tte, Oszillograf

* Überprüfungen nur in Werkstätten